

PWM/PFM 모드를 이용한 모바일용 벡 변환기 설계

준회원 박 리 민*, 정 학 진*, 유 태 경*, 종신회원 윤 광 섭**

Design of the DC-DC Buck Converter for Mobile Application Using PWM/PFM Mode

Li-Min Park*, Hak-Jin Jung*, Tai-Kyung Yoo* *Associate Members*,
Kwang-Sub Yoon** *Lifelong Member*

요 약

본 논문에서는 무선 휴대 장치의 전력공급을 위해 적용 가능한 고효율 PWM/PFM 모드 DC-DC 벡 변환기를 제안한다. 휴대성 확보를 위한 간소화된 보상회로를 사용하고, 휴대장치의 대기 모드 및 저부하에서 높은 효율을 갖도록 설계하였다. 휴대 장치 동작 시간의 대부분을 차지하는 대기모드(저부하: 60mA 이하) 및 저부하에서의 고효율 동작을 위해서 PFM 동작 모드의 제어를 위해서 상태머신을 설계하였다. 칩 측정 결과 동작모드별로 PWM은 93%, PFM은 92.3%의 최대효율을 확인하였다. 측정된 출력 리플전압은 10mV 이하로 나타났다. 제안된 벡 변환기는 0.35 μ m CMOS 공정으로 제작하였으며, 3.3V ~ 2.5V의 입력전압을 받아서 1.8V의 전압을 출력하였다.

Key Words : PWM, PFM, Buck, Soft start, high efficiency

ABSTRACT

This paper presents a high efficiency DC-DC buck converter for mobile device. The circuit employs simplified compensation circuit for its portability and for high efficiency at stand-by mode. This device operates at PFM mode when it enters stand-by mode(light load). In order to place the compensation circuit on chip, the capacitor multiplier method is employed, such that it can minimize the compensation block size of the error amplifier down to 30%. The measurement results show that the buck converter provides a peak efficiency of 93% on PWM mode, and 92.3% on PFM mode. The converter has been fabricated with a 0.35 μ m CMOS technology. The input voltage of the buck converter ranges from 2.5V to 3.3V and it generates the output of 3.3V.

I. 서 론

현재 핸드폰, PDA, 노트북등 휴대용 전자 제품들이 보편화 되어있으며 시장 또한 계속 확대되어가고 있다. 한정된 용량의 배터리로 동작하는 휴대 장비는 모든 부하 조건에 대한 높은 전력 효율을 필요로 한다. 특히 휴대용 전자 제품은 동작 시간에서 대기시간

이 차지하는 비중이 높고, 이는 낮은 부하전류 조건에서의 고효율 변환을 요구한다.

대부분 벡 변환기는 수십 mA 이상의 부하조건에서 PWM 모드에서 일정한 스위칭 주파수를 이용하여서 동작한다. PWM 모드 동작 시 주된 효율 손실은 파워단에서 이루어지며, 특히 파워 스위치의 비이상적인 특성 및 사구간에 의한 손실로 이루어진다. 비이상

※ 본 연구는 2010년도 한국연구재단 기초연구사업-일반연구(과제번호: 2010-0016222)의 연구결과로 수행되었습니다.

* 인하대학교 전자공학과 야날로그집적회로설계 연구실 (plimeen@inha.edu)

** 인하대학교 전자공학과(ksyoon@inha.edu)

논문번호: KICS2010-03-091, 접수일자: 2010년 3월 5일, 최종논문접수일자: 2010년 10월 18일

적인 특성은 파워스위치의 구동 및 채널 저항과 기생 커패시턴스에 의해서 발생한다.^[1]

사구간 제어(dead time control)의 경우 사구간 시간을 짧게 설정할 경우 파워 스위치인 PMOS, NMOS를 통해서 과대전류가 흐르게 되므로 효율저하 및 스위치 내 발열로 인한 파워스위치 손상을 유발하게 된다. 반면에 사구간 시간을 길게 설정할 경우 파워스위치가 동시에 차단되는 시간이 길어지므로 변환효율이 떨어진다. 기존 논문^[2]에서는 PMOS, NMOS 파워스위치간에 고정된 비 중첩 도통 시간 구간을 설정하였다. 이 방법은 사구간을 고정시켜 놓았기 때문에 동작 환경변화에는 적응도가 떨어지므로 효율저하를 초래하는 단점을 가진다. 디지털 제어 기법을 이용하여 능동적으로 사구간 시간을 최적화 하는 회로^[3]도 있으나, 이 기법은 ADC 및 복잡한 제어블록을 요구하는 단점을 지닌다.^[4]

수십 mA 이하의 저 부하 및 대기 상태에서 PWM 모드 동작은 파워스위치의 충방전에 제어전력 대부분을 사용하므로 스위칭 손실을 야기시킨다.^[5] 그러므로 부하전류에 따라서 비례하는 스위칭 주파수를 발생시켜서 저부하에서의 스위칭 손실을 방지하는 PFM 모드로 전환하여서 동작하는 것이 유리하다.

본 논문에서는 휴대 장치의 동작 시간 증가를 위해서 부하전류 크기에 따라 고부하 영역을 위한 PWM 모드, 저 부하 및 대기 시간을 위한 PFM 모드를 선택해서 동작하는 이중모드 벽 변환기를 제안한다. 특히 PWM 모드에서는 적응형 사구간 제어 회로를 이용하여서 효율을 증가시키는 기법을 제안하였다. PFM 동작을 위해서는 기존 기법^[1]을 사용하였다. 본 논문의 구성은 2장에서 제안된 벽 변환기의 구조와 제안된 적응형 사구간 제어회로를 설명하였다. 3장에서는 칩 측정 결과에 대해서 논의하였으며, 4장에서 결론을 맺었다.

II. PWM/PFM 모드 벽 변환기 설계

제안된 벽 변환기는 온 칩 되는 제어회로와 오프 칩 되는 필터회로로 구성된 그림 1과 같다. 온 칩 되는 제어회로는 PWM 제어블록, PFM 제어블록 및 공용블록으로 구성되며. 부하전류가 60mA 이상에서는 PWM 모드를 동작시키고, 60mA 이하의 부하에서는 PFM 모드를 동작시키도록 설계되었다.

60mA 이하의 부하에서는 PFM 모드를 동작시키도록 설계되었다. 벽 변환기가 PWM 모드에서 동작하는 경우 그림 1에서 오차보상회로-②, 기준전압 회로-

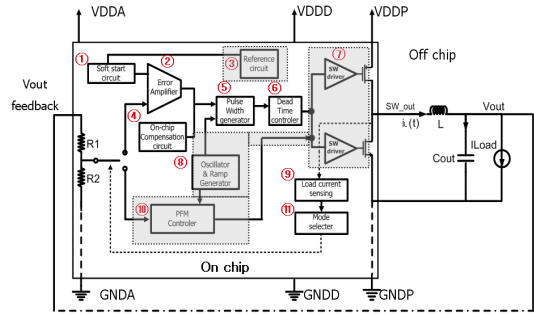


그림 1. PWM / PFM 모드 벽 변환기 블록도
Fig 1. Block diagram of PWM/ PFM mode buck converter

③, 펄스폭 발생 회로-⑤, 사구간제어회로-⑥, 파워스위치 드라이버-⑦, 삼각파 발생회로-⑧, 부하전류 감지 회로-⑨ 블록이 동작한다. 반면에 PFM 모드에서 동작하는 경우에는 음영이 들어간 블록들인 기준전압 회로-③, 파워스위치 드라이버-⑦, 삼각파 발생회로-⑧, PFM모드 제어회로-⑩ 블록이 동작한다. 이중 소프트시동회로 - ①, 기준전압 회로-③, 파워스위치 드라이버-⑦, 삼각파 발생회로-⑧는 두 가지 동작 모드에서 공통적으로 사용되는 공통 블록이다.

이중 모드 벽 변환기는 그림 2와 같은 순서로 동작한다. 변환기는 약 1ms 이상의 시동 지연(Soft start up) 시간을 가지면서 출력 전압을 완만하게 상승시키

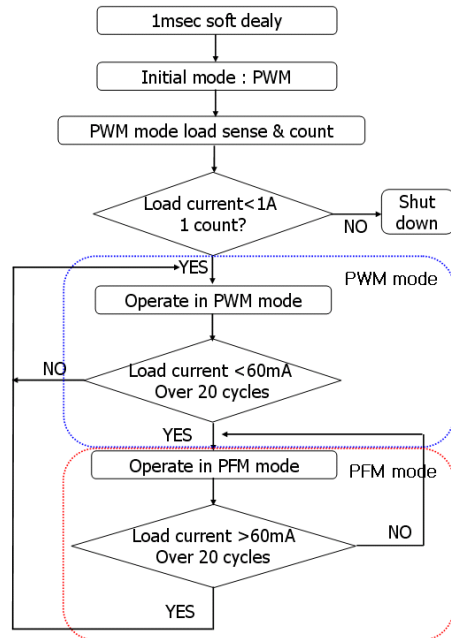


그림 2. 제안된 벽 변환기의 동작 플로차트
Fig 2. Flow chart of the proposed buck converter

고, PWM 모드 동작을 하게 된다. PWM 동작을 하면서 부하전류를 감지하게 된다. 부하 전류가 1 암페어 이상 감지되면, 회로 차단 상태(shut down)로 들어가서 회로를 보호하게 된다. 부하전류가 1 암페어 이하로 감지되면 PWM 모드에서 동작하게 되며, 클럭의 20 주기 동안 부하 전류가 60mA 이하로 감지되면 PFM 모드로 변경해서 동작한다. 반면에 부하 전류가 60mA 이상으로 감지되면 PWM 모드에서 동작하게 된다.

변환기에 외부전원이 연결되면 소프트 시동회로(soft start circuit)가 동작하면서 PWM 모드 동작시 급격한 귀환 전압상승으로 인한 과전류 발생을 방지할 수 있다. 즉, 소프트 시동회로가 동작할 때 오차 증폭기회로의 기준전압을 완만하게 상승시킴으로서 안전한 시동 동작을 보장할 수 있다. 이러한 오차증폭기회로의 완만한 입력 기준 전압 증가를 위하여 커패시터 용량을 증가시키거나^[6], 바이어스 전류 값을 감소시킬 수 있다.^[7] 본 논문에서는 기준회로^[7]를 개선하여서 시동모드 동작 종료 후 정상모드로 천이 시에 발생할 수 있는 전위 변동을 방지하도록 두 개 커패시터(Csoft1, Csoft2)를 포함시킨 그림 3과 같은 소프트 시동회로를 설계하였다. 소프트 시동회로는 캐스코드 전류미러(M1, M2, ..., Mn), 두 개 커패시터(Csoft1, Csoft2), 두 개 트랜스미션 게이트, 트랜스미션 게이트를 차단/도통 동작을 제어할 두 개 비교기(Comparator_01, Comparator_02), 그리고 SR 플립플롭으로 구성된다.

소프트 시동 회로 동작 시에 캐스코드 전류미러의 전류가 커패시터(Csoft1)를 충전시키면서 커패시터의 충전 전압이 기준전압과 비교된다. 충전 전압이 기준

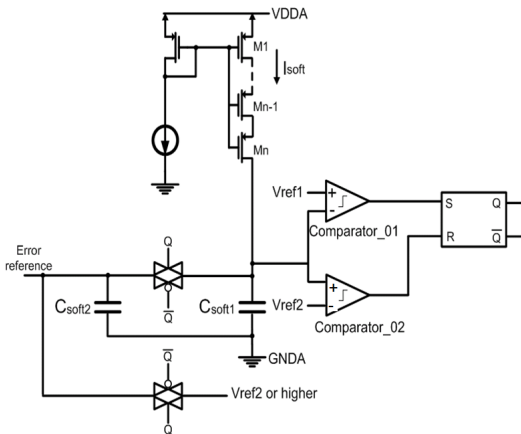


그림 3. 소프트 시동 회로의 블록도
Fig 3. Block diagram of the soft start circuit

전압 1(Vref1)보다 작고, 기준 전압 2(Vref2) 보다 크면, 비교기 1(Comparator_01)의 출력은 “1” 이 되며, 비교기 2(Comparator_02)의 출력은 “0”이 된다. 따라서 플립플롭의 S 입력단자에 “1”을 인가됨에 따라서 플립플롭의 Q 출력 값은 “1”이 된다. 그러므로 커패시터에 충전된 전압이 오차 증폭기에 전달된다. 반면에 커패시터 전압이 기준전압 1(Vref1) 보다 커지면, 비교기(Comparator_01)의 출력은 “0” 이 되므로 플립플롭이 리셋되어서 플립플롭의 출력인 Q 값은 “0”이 된다. 따라서 커패시터와 연결된 트랜스미션 게이트가 차단되며, 오차증폭기에는 기준 전압2(Vref2)가 연결 된다.

제안된 벽 변환기의 시동시의 동작과정을 그림 4에서 나타내고 있다. 그림 4에서 보는 바와 같이 오차보상회로의 출력 값은 완만하게 증가하며, 램프(ramp) 전압 값과 비교되어서 듀티 비율을 결정한다. 고정된 스위칭 주기 안에서 파워 트랜지스터인 PMOS가 도통되는 듀티 비율이 작은 상태에서 시작하여 점차 증가하고, 시동 지연이 끝나는 시점에서는 정상상태에 도달하게 된다. 시동 동작이 종료되면, 변환기는 PWM 모드로 동작한다. 출력 전압은 R1과 R2의 비율만큼 분배되어서 오차증폭기에 입력되고 기준 전압과 비교된다. PWM 모드에서 오차 증폭기의 출력은 램프 발생기에서 발생된 램프 신호와 비교되며, 비교기의 출력은 펄스폭 발생기(Pulse Width Generator)에 인가되어서 일정한 듀티 비율을 가지는 클럭 펄스를 생성시킨다.

PWM의 출력은 파워스위치를 드라이브 할 수 있도록 사구간 제어기로 입력된다. 사구간 제어기의 출력은 PMOS와 NMOS 파워스위치를 차단, 도통 시키면서 일정한 듀티를 가지는 펄스를 칩 외부로 발생시킨다. 이 발생된 펄스는 LC 필터를 거치면서 일정한 전압으로 출력 된다. 벽 변환기의 입력 전압이 올라가면 출력 전압도 상승하면서 귀환 전압 또한 상승한다. 이

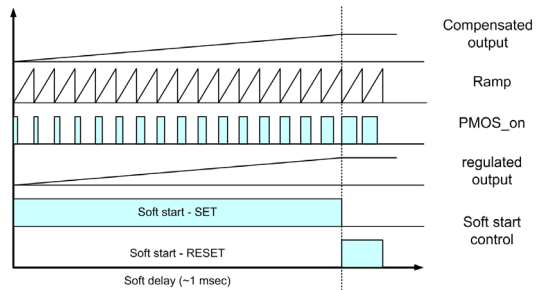


그림 4. 시동 회로의 동작 과정
Fig 4. Operating process of soft start circuit

때 오차증폭기의 출력은 작아진다. 그러므로 입력이 변동한다고 해도 항상 일정한 출력 전압이 발생한다.

본 논문에서 제안하는 적응형 사구간 제어 회로는 그림 5와 같으며, 파워트랜지스터 NMOS와 PMOS의 드레인이 연결되어 있는 기존의 인버터 체인회로에 비 중첩 회로를 추가하여서¹⁵⁾ DC-DC 벽 변환기의 효율을 증가시킬 수 있다. 적응형 사구간 제어 기법은 기존의 고정된 사구간 제어 기법¹²⁾과 비교해서 3% 이상의 효율을 향상시킨다.

그림 5에서 보는 바와 같이 각 스위치의 출력 단자 (P_sw, N_sw)는 반대편 드라이버 입력단(P_sw, N_sw)으로 귀환된다. 귀환된 전압 즉 파워스위치 게이트 단자의 충전 전 상태는 펄스폭 발생기로부터의 입력 값과 논리 비교 되므로서 2가지 상태, 즉 두 개 파워트랜지스터가 동시에 차단, 도통되는 상태를 방지할 수 있다. 첫 번째 두 개 파워 트랜지스터가 동시에 도통되는 상태를 방지되는 과정은 다음과 같다. 펄스폭 발생 회로로부터 상승 펄스가 발생하면 PMOS, NMOS 드라이버로 입력된다. PMOS 드라이버 쪽은 NAND 게이트의 입력 중 하나가 0이 되면, 버퍼회로의 지연 시간을 거치면서 PMOS를 차단시킨다. 반면 NMOS 드라이버 쪽은 AND 게이트의 입력 값 중 P_sw가 “1”로 천이된 후에 도통된다. 이 지연 시간이 사 구간을 형성하게 되며, 크게 P_sw 노드의 충전 지연시간과 AND 게이트부터 N_sw 노드까지의 전달 지연시간으로 구성된다. 반대의 경우는 펄스폭 발생기의 출력값이 하강 하면서, NMOS 드라이버 쪽의 AND 게이트가 먼저 출력 값을 0으로 바꾼다. PMOS 드라이버 측의 값은 NMOS 파워 스위치의 게이트 노드가 low로 방전되기까지 지연된다. 이는 PMOS의 턴오프로 시점으로부터, NMOS의 턴온 시점을 지연시키게 되고, 사구간으로 작용하게 된다.

단위 인버터의 기생성분에 의한 시정수는 식 (1)과 같이 전단 인버터의 채널 저항에 의한 기생저항 값과 후단 인버터의 P,NMOS게이트가 갖는 기생 커패시터 값의 곱으로 결정된다. 식 (2)는 인버터의 시정수에 의한 상승지연시간(trise) 및 하강지연시간(tfall)을 나

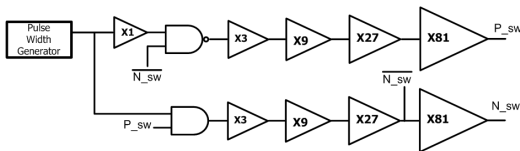


그림 5. 적응형 사구간 버퍼 회로도
Fig 5. Circuit diagram of adaptive dead time buffer

타낸다. 다단 인버터 체인에 의한 전달지연은 N단으로 구성된 인버터 체인의 경우 식 (3)과 같이 정리된다. 여기서 Rn, Rp는 각각 NMOS, PMOS의 채널 저항을 나타내고, Cout은 해당 게이트 입력단자에서 바라본 기생커패시터 값이다. 제안한 적응형 사구간 버퍼 회로의 경우 2번째 단(X3)에서 5번째(X81)단까지 4 단계에 의한 지연이 발생한다.

$$\tau = RC = \frac{2LV_{DD}}{K_P W (V_{DD} - V_{THN})^2} C_{ox} WL \quad (1)$$

$$t_{fall} = 0.7RC \quad t_{rise} = 2.2RC \quad (2)$$

$$\begin{aligned} & (t_{PH} + t_{PLH})_{total} \\ &= 0.7 \sum_{k=1}^N (R_n + R_p)(C_{out} + AC_{E1}) \quad (3) \\ &= 0.7N(R_n + R_p)(C_{out} + AC_{E1}) \end{aligned}$$

PFM 모드에서는 PWM모드와 공동으로 사용되는 삼각파 신호 발생기와 PFM제어기를 통해서 출력 전압을 감소시킨다. PWM 모드와 달리 부하전류에 따라 스위칭 주파수가 변동한다. PFM 모드는 크게 3가지 동작 과정을 갖는다. 첫째로 파워 PMOS 도통을 통한 부하에 전류 공급, 둘째 파워 NMOS 도통을 통한 인덕터의 유도기전력 전류공급, 셋째는 첫 번째 및 두 번째 과정에서 충전된 필터 커패시터(C_out)의 방전을 통한 전류공급으로 이루어진다. 주된 기능을 하는 삼각파 발생기를 제어하기 위해서 각 단계에 대응되는 상태 값 Step_01, Step_02, Step_03을 출력하게 된다. 이러한 3가지 동작을 제어하기 위해서 그림 6과 같이 3가지 상태를 결정하는 상태 머신(State machine)을 설계하였다.

그림 6(a)에서 CLK는 클럭을 나타내며, NS (Next Step)와 Vsense는 각각 삼각파 발생회로내 충전회로 출력 신호 및 저항 분배 회로(그림 1의 R1, R2 회로)의 출력 신호를 나타낸다. 클럭에 따라 변화하는 PFM 모드의 개별 동작을 나타내는 Step 값은 그림 6(b)의 논리게이트를 이용한 D0, D1 값으로 Step_01,02,03의 3가지 값으로 구현한다. 상태 머신 회로의 동작은 그림 7의 모의실험 결과를 통해서 확인할 수 있듯이 클럭 한주기내에서 Step_01, Step_02, Step_03가 순차적으로 발생한다.

PFM 모드 동작 시 제어회로에 의해서 고정된 주기

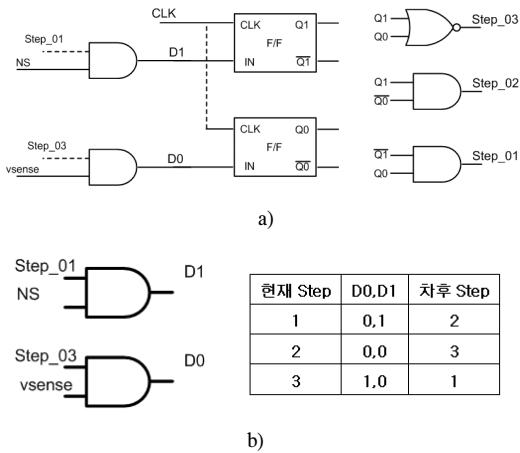


그림 6. PFM의 3가지 상태를 결정하는 (a) 상태 머신 블록과 b) 상태 표
 Fig 6. Block diagram of a) state machine and b) table of the three states

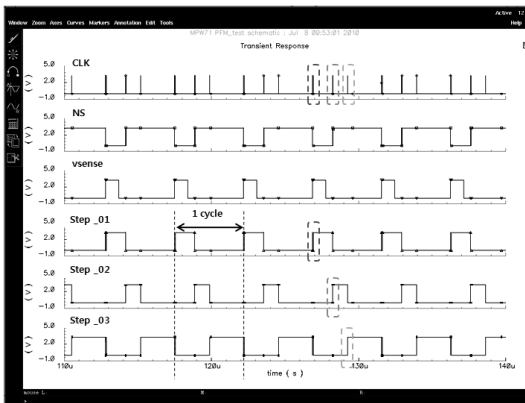


그림 7. PFM 제어 모의실험 결과
 Fig 7. Simulation result of PFM mode state control

를 갖는 삼각파를 1회 발생시키고, 다음 주기까지 동작을 정지한다. 그림 8와 같이 기준회로에 Mn1을 더하여 PWM 및 PFM 모드에 따라 전류원 제어를 하게 된다. 충전 커패시터 C1의 방전은 2 입력 맥스를 사용하여 상태머신에서 발생한 step_02신호에 따른 방전이 이루어진다. PFM 동작의 두 번째 단계의 동작제어를 위해서 별도의 클럭을 추가하지 않고, PFM 제어기의 출력 값인 Step_02 신호를 클럭으로 사용하여 동작한다. 마지막 단계는 파워 PMOS 및 NMOS는 모두 턴 오프되고, 출력 커패시터 Cout이 충전된 전하를 부하에 공급하고 출력 목표 전압대비 5% 감소 시점까지 그 상태를 유지한다. 마지막 단계 종료와 함께 PFM 모드의 스위칭 사이클이 다시 시작된다. 제안된 백 변환기에서는 PFM 모드의 주기 변화가 마지막 단

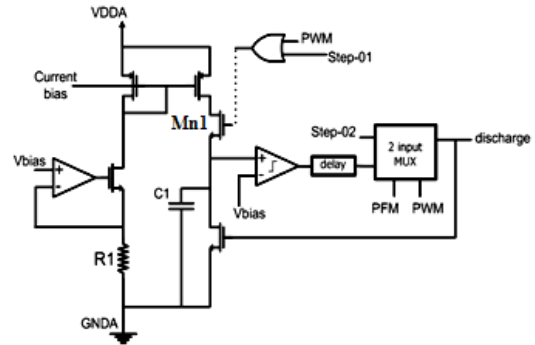


그림 8. PFM 모드 제어를 위한 확장된 삼각파 발생 회로
 Fig 8. Extended ramp generating circuit for PFM mode control

계 지속시간에 의해 변화한다.

본 논문에서 제안된 PFM / PWM 듀얼모드 백 변환기는 부하 전류에 따라 적합한 동작 모드의 선택이 필요하고, 또한 저 부하 PFM 모드 동작과 과전류 보호 기능을 구현하기 위해서는 정확한 부하 전류 감지 회로가 필요하다. 전압 제어 방식의 PWM 모드 백 변환기는 부하전류 감지 회로가 없이도 동작이 된다.^[5] 그림 9에서 제안된 회로는 전류미러와 두 개의 스위치(Step_02, Step_03)와 충전 커패시터(C2)로 구성되며, 부하감지 단에서 높은 전압 스윙이 가능하여서 낮은 공급전압에서도 원활한 감지 기능을 유지할 수 있다.

PFM 모드 스위칭 제어의 마지막 단계(Step_03)에서 Step_03 가 “1”이 되면 스위치를 도통시켜서 C2가 충전된다. 이때 C2의 충전 전압 값은 Step_03 신호의 지속시간에 비례하고, 이는 부하전류에 반비례하게 된다. 이러한 특성을 이용하여 적절한 문턱 값을 설정하여 C2의 충전 값과 비교하면, 부하전류의 증가에 따라 PFM 모드에서 PWM 모드로 전환해야 할 상태를 감지할 수 있다. 매 주기 감지된 C2의 충전 전압 값은

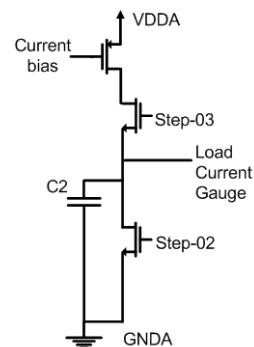


그림 9. PFM 모드용 부하전류감지 회로
 Fig 9. Current sensing circuit for PFM mode control

다음 스위칭 주기의 두 번째 단계인 Step_02 값이 “1” 이 될때 스위치가 도통되면서 방전된다.

그림 10은 서술한 기능이 모두 추가된 삼각파 발생 회로이다. 부하 전류 감지 값인 C2의 충전 전위와 기준 값 Vbias_2가 비교기를 통해서 비교된다. C2 노드의 전위가 비교 값보다 낮아지면, 부하전류가 기준 이상으로 높아진 것으로 그 신호가 Mode Selector의 입력으로 전달되고 Mode selector는 매 신호의 하강 엣지를 20회 감지하여 PWM 모드로의 변경신호를 발생하게 된다. 만약 Mode Selector가 동작과정에서 상승 엣지를 감지하게 되면 Mode Selector의 카운터를 초기화 시킨다.

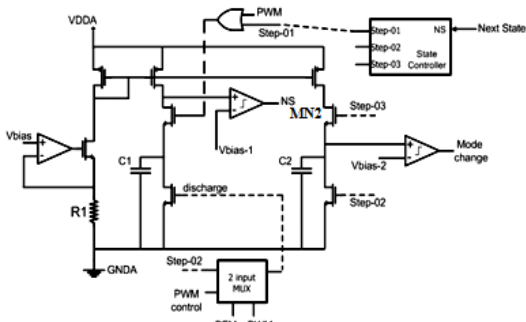


그림 10. 확장된 기능을 갖는 PFM / PWM 제어용 삼각파 발생 회로
Fig 10. Extended ramp generating circuit for PFM/PWM mode control

III. 실험 결과 및 고찰

본 논문에서는 PFM/PWM 동작모드를 이용한 모바일 백 변환기(입력 전압은 3.3[V]이며 출력은 1.8[V])를 설계하였으며, 0.35um CMOS 표준 공정을 사용하여서 제작하였다. 설계된 DC-DC 변환기의 레이아웃 사진은 그림 11과 같으며, 파워트랜지스터를 포함한 레이아웃의 코어사이즈는 2.6 x 2.2 mm²이다. 레이아웃시 아날로그 블록, 디지털 블록 및 파워트랜지스터를 분리시켜서 레이아웃 하였다. NMOS 파워트랜지스터와 PMOS 파워트랜지스터는 약 60mΩ의 Ron저항을 가지도록 설계하였다. 또한 PMOS 파워트랜지스터와 NMOS 파워트랜지스터의 크기는 각 트랜지스터의 on-저항이 전도 손실에 미치는 영향을 최소화되도록 고려하여서 설계하였다. 파워트랜지스터를 통해 최대 500mA의 전류가 흐르므로 부하에 연결되는 출력 단자선을 메탈 2(Metal 2) 마스크부터 메탈 4(Metal 4) 마스크까지 적층시켜서 레이

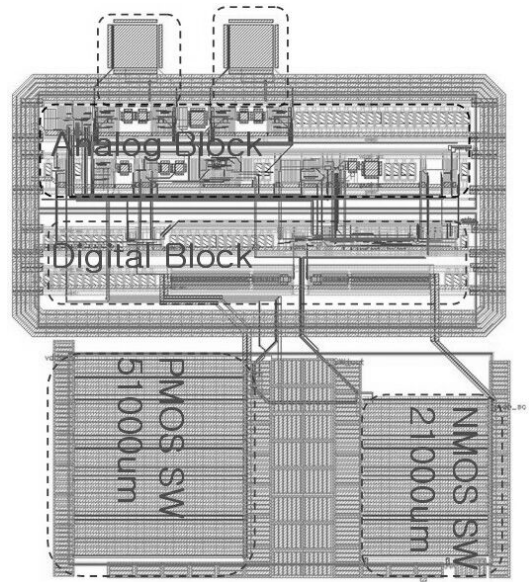


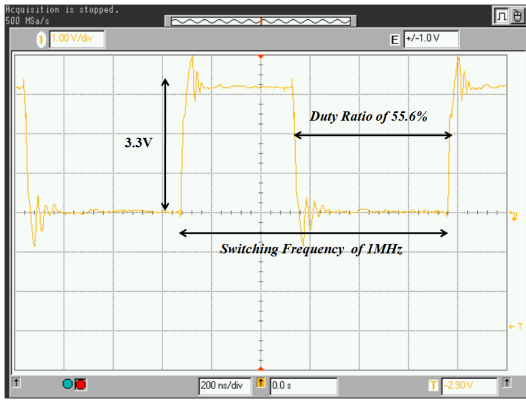
그림 11. 제안된 백 변환기의 레이아웃
Fig 11. Layout of the proposed buck converter

아웃 하였다. 또한 전도 손실(Conduction loss)을 최소화하기 위해 파워트랜지스터에서 패드까지 최소한의 거리로 레이아웃 하였다.

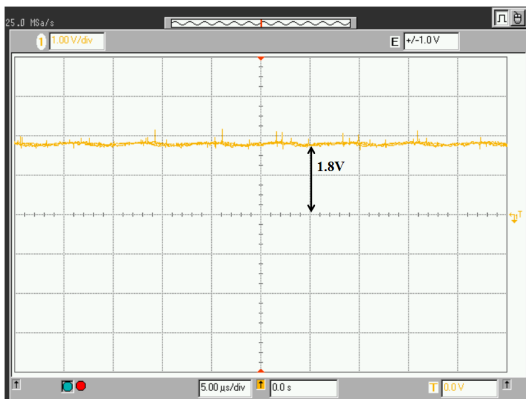
설계된 백 변환기는 60mA이상의 부하전류에서는 PWM모드에서 동작을 하고 이 때 측정결과는 그림 11과 같다. 부하전류가 200mA일 때, 그림 12 (a)와 (b)는 각각 파워 스위치를 드라이브 하는 PWM 펄스 신호와 출력전압 신호의 측정 파형을 나타낸다. 그림 12 (a)로부터 스위칭 주파수는 약 1MHz인 것으로 측정되었고, 듀티 비율은 55.6% 인 것을 알 수 있다. 그림 12 (b)에서는 출력 전압이 약 1.8V로 측정된 것을 확인할 수 있으며, 출력 리플전압은 0.6% 이하로 측정되었다.

부하 전류를 8mA에서부터 600mA까지 변화시켜 가면서 제작된 백 변환기의 효율을 그림 13과 같이 측정하였다. 60mA 이하의 저부하 및 대기모드인 PFM 모드로 동작 하였을 때, 변환효율은 최소 77%에서 최대 92.3% 로 측정되었다. 60mA 이상의 부하에서는 PWM 모드로 동작하고, 측정된 변환효율은 최소 86%에서 최대 93% 로 측정되었다.

기존 논문과 제안된 백 변환기와의 PWM 성능을 비교 분석한 결과는 표 1과 같다. 제안된 변환기의 변환효율은 93%로서 기존 논문들에서 설계된 변환기의 변환효율인 90 ~ 92% 보다 다소 높게 나타났다. 제안된 변환기의 스위칭 주파수는 1MHz로서 기존 변환기의 스위칭 주파수보다 높게 나타났다.따라서 제안된



(a)



(b)

그림 12. PWM모드의 측정된 (a) 스위칭 파형과 (b)출력파형
Fig 12. The measured waveform from (a) PWM pulse signal and (b) output signal

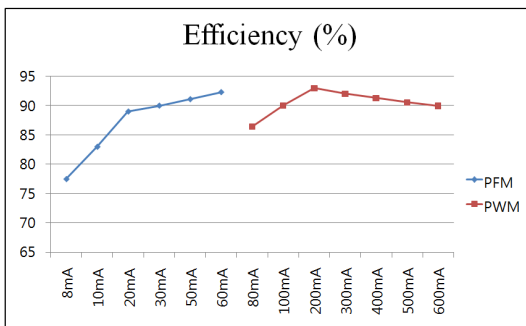


그림 13. 부하 전류에 따른 동작 모드별 변환효율
Fig 13. Efficiency of bi-mode buck converter

변환기의 스위칭 잡음이 기존 변환기들의 스위칭 잡음보다 높게 나타날 것으로 예상된다. 또한 제안된 변환기의 리플 출력 전압은 10mV 이하로서 기존 변환기의 리플 출력전압보다 작게 측정되었다.

표 1. 제안된 변환기와 기존 논문과의 성능 비교
Table 1. Performance Comparison between the proposed converter and the conventional ones

Ref. No.	In (v)	Out (v)	Efficiency (%)	SW Freq. (KHz)	L/C (uH/uF)	Output ripple (mV)
[4]	4	1.5	92	500	6/10	10
[6]	3.6	1	89.5	300	4.7/10	20
[7]	1.8	3.3	90	500	1/3	20
This work	3.3	1.8	93	1000	10/10	under 10

IV. 결론

본 논문에서는 모바일 시스템의 부하 변동에 따라서 고효율 특성을 갖는 PWM / PFM의 이중 동작모드 백 변환기를 제안하였다. 제안된 변환기는 CMOS 0.35 μ m 1-Poly 4-Metal 공정을 사용하여서 설계되었다. PFM 모드에서 동작하는 경우 오차보상회로, 기준 전압 회로, 펄스폭 발생 회로, 사구간제어회로, 파워스위치 드라이버, 삼각파 발생회로, 부하전류 감지회로 블록이 동작하도록 설계하였다. 반면에 PFM 모드에서 동작하는 경우에는 기준전압 회로, 파워스위치 드라이버, 삼각파 발생회로, PFM 모드 제어회로 블록이 동작하도록 제작하였다. 특히, 전원 연결 시 소프트 시동회로를 동작시켜서 변환기의 출력 전압을 서서히 증가시킴으로서 과전류 발생을 방지하도록 설계하였다. PWM모드에서 동작하는 적응형 사구간 제어회로를 설계하여서 효율을 3% 이상 증가시켰다. 또한 PFM 모드에서 삼각파 발생기를 제어하기 위해서 상태 머신을 설계하였다. 상태 머신은 세가지 상태를 제어하여서 삼각파 발생기에서 발생하는 삼각파의 주파수를 제어하도록 설계되었다. 60mA 이하의 저 부하에서는 PFM 모드로 동작하면서 최대 92.3% 변환효율을 구현하였고, 60mA 이상의 부하에서는 PWM 모드 동작을 통해서 최대 93% 변환효율이 측정되었다. PWM 모드에서 동작 시 스위칭 주파수는 1MHz로 측정되었으며, 출력 리플 전압은 0.6% 이하로 측정되었다. 기존 설계된 변환기들과 성능 비교 시 제안된 변환기의 측정된 변환효율과 출력 리플 전압 등에서 우수성을 확인할 수 있었다. 따라서 제안된 변환기는 모바일 시스템에서 부하전류 상태에 따라서 PFM 모드 및 PWM 모드에서 동작해서 높은 변환효율을 유지할 수 있기 때문에 동작시간을 연장시킬 수 있을 것으로 기대된다.

참 고 문 헌

[1] Edgar Sanchez-Sinencio, Andreas G.Andreou “Low-Voltage/ Low-Power Integrated Circuits and Systems.” IEEE PRESS. 1998

[2] Feng-Fei Ma, Wei-Zen Chen, and Jiin-Chuan Wu, “A monolithic current mode buck converter with advanced control and protection circuit” IEEE Transactions on power electronics, Vol.22, pp.1836-1846, Sep. 2007

[3] Hoi Lee and Philip K. T. Mok, “A SC DC-DC Converter with Pseudo Continuous Output Regulation using a Three-Stage Switchable Opamp”, IEEE International Solid-State Circuits Conference, Session 15, ADCs, DC References, and Converters, pp.288-289, Feb. 2005

[4] hao, A., Fomani, A.A. Wai Tung Ng. “One-step digital dead-time correction for DC-DC converters”, Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE. 21-25 Feb. 2010. pp.132.137, Feb. 2010.

[5] Jing Wang, Wenchao Gong, Lenian He. “Design and implementation of high-efficiency and low-power DC-DC converter with PWM/PFM modes”, ASIC, 2007. ASICON '07. 7th International Conference on. pp.596-599, Oct. 2007.

[6] Cheung Fai Lee and Philip K. T. Mok, “A Monolithic current-Mode CMOS DC-DC Converter With On-Chip Current-Sensing Technique”, IEEE Journal of Solid-State Circuits ,Vol.39, No.1, pp.3-14, Jan. 2004.

[7] Jinwen Xiao, Angel Peterchev, Jianhui Zhang, Seth Sanders “A 4- μ A Quiescent-Current Dual-mode Digitally Controlled Buck Converter IC for Cellular Phone Applications”, IEEE Journal of Solid-State Circuits, Vol.39, No.12, pp.288-289, Dec. 2004.

박 리 민 (Li-Min Park)

준회원



2003년 7월 중국장안대학교 전자공학과
 2009년 3월~현재 인하대학교 전자공학과 석사
 <관심분야> 아날로그 회로설계, DC-DC Buck Converter

정 학 진 (Hak-Jin Jung)

준회원



2006년 2월 인천대학교 전자공학과 학사
 2009년 3월~현재 인하대학교 전자공학과 석사과정
 <관심분야> 아날로그 회로설계, DC-DC Buck Converter.

유 태 경 (Tai-kyung Yoo)

준회원



2002년 3월 단국대학교 전자공학과
 2008년 8월 단국대학교 전자공학과
 2010년 3월~현재 인하대학교 석사 과정
 <관심분야> 아날로그 회로설계, DC-DC Buck converter

윤 광 섭 (Kwang-sub Yoon)

중신회원



1982년 2월 인하대학교 전자
공학과 학사

1983년 2월 Georgia Institute
Inc, Technology 전자 공학과
석사

1989년 2월 Georgia Institute
Inc, Technology 전자공학과
박사

1984년 3월~1989년 2월 Georgia Institute of
Technology Research Assistant

1989년 3월~1992년 2월: Silicon Systems Inc,
Austin Calif. U.S.A Senior Design Engineer

1992년 3월~현재 인하대학교 전자공학과 교수
<관심분야> 혼성신호처리 집적회로 설계, 설계 자
동화 및 소자/회로/시스템 모델링 등