

4-레벨 낸드 플래시 메모리에서 오류 발생 패턴 제거 변조 부호

정회원 박 동 혁*, 종신회원 이 재 진*, 정회원 양 기 주**

Modulation Code for Removing Error Patterns on 4-Level NAND Flash Memory

Donghyuk Park* *Regular Member*, Jaejin Lee* *Lifelong Member*, Giju Yang** *Regular Member*

요 약

한 셀에 2비트를 저장하는 낸드 플래시 메모리에서는 한 셀에 저장되는 전압의 양을 4-레벨로 나누어 데이터를 구분한다. 이 4-레벨을 낮은 전압부터 각각 E, P1, P2, P3라고 할 때, 인접한 두 셀이 각각 E와 P3 레벨로 저장하게 되면, 통계적으로 이 부분에서 많은 데이터의 오류가 발생한다. 따라서 본 논문에서는 인접한 두 셀의 값이 E와 P3의 패턴이 연속해서 나오지 않게 하는 부호화 방법을 통하여 연속된 셀에서 E와 P3가 붙어 나오는 패턴을 제거한다. 본 논문에서는 5심볼과 6심볼의 코드워드일 때의 부호/복호 방법을 소개한다. 5심볼을 만드는 부호화 방법은 입력 데이터가 9비트이며, 패리티는 1비트이고 부호율은 0.9 (9/10) 이다. 또한, 6심볼을 만드는 부호화 방법은 입력 데이터가 11비트이며, 패리티는 1비트이며, 부호율은 0.916 (11/12) 이다.

Key Words : 2bits/cell NAND Flash Memory, Avoidance Error Pattern Code, E-P3 or P3-E Error Pattern

ABSTRACT

In the NAND flash memory storing two bits per cell, data is discriminated among four levels of electrical charges. We refer to these four levels as E, P1, P2, and P3 from the low voltage. In the statistics, many errors occur when E and P3 are stored at the next cells. Therefore, we propose a coding scheme for avoiding E-P3 or P3-E data patterns. We investigate two modulation codes for 9/10 code (9 bit input and 5 symbol codeword) and 11/12 code (11 bit input and 6 symbol codeword).

I. 서 론.

최근 낸드 플래시 메모리 장치는 대부분의 전자 제품에 사용되면서, 그 사용량이 증가하고 있다. 또한, HD급 영상 보급 및 음악파일의 용량 증가로 인해 더 큰 용량의 메모리가 필요하다. 따라서 최근 데이터 저장을 위한 메모리는 16기가, 32기가 등의 고용량의 메모리 제품이 나오고 있다.

낸드 플래시 메모리라고 하면 기본적으로 싱글 레벨 셀 (SLC, Single Level Cell)이며, 최근에는 멀티 레벨 셀 (MLC, Multi Level Cell) 제품이 나오고 있다^{1,2}. 그 중에서도 한 셀에 2비트를 저장할 수 있는 4-레벨 셀 제품이 주로 나오고 있다. 멀티 레벨 셀은 한 셀에 저장하는 데이터의 용량이 증가하기 때문에 물리적인 메모리 증가 없이 데이터의 용량을 증가시킬 수 있는 장점이 있다. 물론 멀티

* 이 논문은 2008년 정부(교육과학기술부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임(KRF-2008-313-D00759).

* 숭실대학교 정보통신전자공학부 정보저장 및 통신 연구실(manakq@hotmail.com, zlee@ssu.ac.kr)

** 동국대학교 정보통신공학과(gijang@dgu.ac.kr)

논문번호 : KICS2010-11-551, 접수일자 : 2010년 11월 23일, 최종논문접수일자 : 2010년 12월 10일

레벨 셀에 데이터를 쓰고 읽을 수 있는 추가적인 회로를 필요로 하는 단점이 있다.

싱글 레벨 셀에서 데이터를 저장하는 방식은 각 셀에 전하가 들어 있는지 (Programmed Cell) 없는 지 (Erased Cell) 를 구분하여 ‘0’과 ‘1’을 구분하였다. 하지만 멀티 레벨 셀에서는 데이터를 저장하기 위해 전하의 양을 조절하여 전압의 크기에 따라 레벨을 나누게 된다. 따라서 그림 1에서 볼 수 있듯이 한 셀에 저장하는 데이터의 비트수가 늘어날수록 필요한 전압의 레벨이 많아져서 각 레벨의 간격이 좁아지게 된다.

멀티 레벨 셀 낸드 플래시 메모리의 오류의 요인은 셀에 데이터를 쓰는 과정에서 발생하는 Vpgm 방해와 Vpass 방해가 있다^[3-5]. 또한, 플로팅 게이트에 저장된 전하의 양이 조금씩 빠져나가는 전하 소실 (Charge Retention) 이 발생하게 된다^[3]. 셀에 데이터를 저장하기 위해서는 전하의 양을 증가시켜야 하는데 이 증가하는 전하의 양에 비례하여 주변셀에 커플링 잡음이 생기게 된다^[6].

이러한 오류를 극복하기 위하여 프로그램 방법과 오류정정부호가 연구되어지고 있다^[7-9]. 또한, 오류가 생기기 쉬운 패턴에 대한 연구가 진행되었다^[10]. 오류가 생기는 패턴에 대한 연구를 토대로 테스트 과정에서 더 확실한 테스트를 할 수 있게 되었으며, 또한 이러한 특정 패턴을 피해갈 수 있는 부호의 연구도 가능하게 되었다. 따라서 본 논문에서는 오

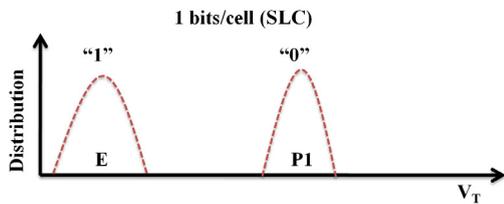
류가 많이 발생하는 패턴 중 하나인 E-P3가 연속해서 저장되는 것을 피하기 위한 기법을 제안한다.

II. k/k+1 E-P3 혹은 P3-E 패턴 제거 부호

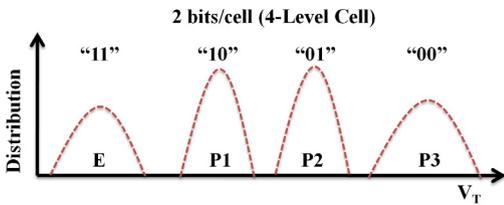
낸드 플래시 메모리는 블록 단위로 구성되어 있으며, 블록은 워드라인과 비트라인으로 구성되어 있다. 비트라인은 홀수비트라인과 짝수비트라인으로 구성되어 있고, 비트라인의 길이는 페이지의 길이와 같다. 데이터를 저장 하는 셀이 2차원 배열로 정렬되어 메모리 블록을 이루고 있으며 그림 2와 같다.

낸드 플래시 메모리의 데이터는 페이지 단위로 저장하며 삭제는 블록 단위로 이루어진다. 보통 페이지 크기는 512바이트이며 이는 4096비트이다. 여기에 보통 각 페이지 당 16바이트의 공간이 추가되어 오류정정부호의 패리티를 저장하게 된다.

본 논문에서 제안하는 부호는 9비트 데이터에 1비트 패리티를 붙이는 부호율이 9/10인 E-P3와 P3-E 패턴 제거 부호와 11비트 데이터에 1비트 패리티를 붙이는 부호율 11/12의 E-P3와 P3-E 패턴 제거 부호이다.



(a)



(b)

그림 1. (a) 싱글 레벨 셀 낸드 플래시 메모리의 문턱 전압에 따른 데이터 분포 (b) 4-레벨 셀 낸드 플래시 메모리의 문턱 전압에 따른 데이터 분포

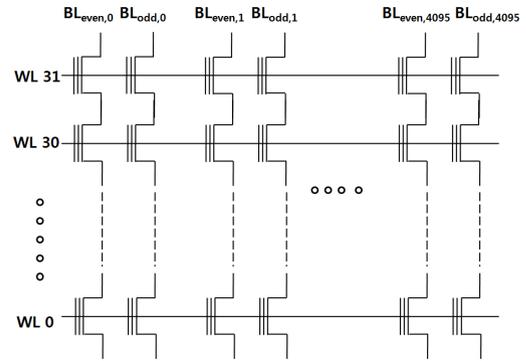


그림 2. 낸드 플래시 메모리의 블록 구조

2.1 E-P3 혹은 P3-E 패턴 분석

4-레벨 셀 낸드 플래시 메모리는 한 셀에 2비트의 데이터를 저장하며, 상태는 각각 E, P1, P2, P3로 구분한다. 이때 심볼은 0, 1, 2, 3으로 각각 표현한다. 입력된 데이터 중에서 두 비트를 한 심볼로 표현했을 때 이웃한 두 심볼의 패턴이 ‘03’ 혹은 ‘30’ 패턴이 있는지를 검색하여, 이 패턴이 있으면 데이터를 다른 것으로 부호화 하고 패리티 비트를 ‘1’로 하고, 그렇지 않으면 패리티 비트를 ‘0’로 하여 데이터를 저장한다. 이렇게 입력 데이터 비트

열에 패리티 비트 1비트를 추가하였을 때 ‘03’과 ‘30’ 패턴이 없이 부호화가 가능한지를 조사하였다.

2.1.1 9/10 E-P3 혹은 P3-E 패턴 제거 가능성 분석

입력 데이터는 9비트이며 추가 1비트의 패리티를 더하여 총 10비트가 되어 5심볼의 부호가 된다. 데이터는 9비트 이므로 최상위 1비트를 제외한 나머지 8비트의 데이터를 4진수 데이터로 표현하면, ‘0000’~‘3333’의 256개의 데이터를 가진다.

9비트의 데이터 열에서 최상위 1비트의 값이 ‘0’일 때, 추가 패리티 1비트의 값이 ‘0’이 되면 부호에서 최상위 심볼이 ‘0’이 될 수 있으므로 뒤에 오는 데이터 값은 ‘3xxx’이 될 수 없다. 반면, 9비트의 데이터 열에서 최상위 1비트의 값이 ‘1’이라면 뒤에 오는 데이터 값은 ‘xxxx’ 이 될 수 있다.

따라서, 9비트의 데이터 열에서 최상위 1비트가 ‘0’일 경우 ‘03’ 혹은 ‘30’ 패턴을 가진 워드의 개수는 117개이다. 또한 9비트의 데이터에서 최상위 비트가 ‘1’일 경우, 문제의 패턴을 가진 워드의 개수는 78개이며, 따라서 9비트의 데이터에서 문제의 패턴을 가진 워드의 총 수는 195개이다. 이 195개의 워드를 부호화 하여 ‘03’과 ‘30’ 패턴을 없애야 한다. $B_{N_{0xxxx}}$ (=117)는 데이터 9비트의 최상위 비트가 ‘0’일 때의 ‘03’, ‘30’ 패턴을 가지는 워드의 수이며, $B_{N_{1xxxx}}$ (=78)는 데이터 9비트의 최상위 비트가 ‘1’일 때의 ‘03’, ‘30’ 패턴을 가지는 워드의 수이다.

‘03 또는 ‘30’ 패턴을 가지는 입력을 위하여 부호화 된 워드(10비트)의 최상위인 패리티 비트는 ‘1’이 된다. 따라서 9비트의 데이터 값에서 최상위 비트가 ‘0’이면 최상위 심볼은 ‘2’이고, ‘1’이면 ‘3’이 된다. 10비트의 워드 중 최상위 심볼이 ‘2’와 ‘3’인 경우를 살펴보면, 워드가 ‘2xxxx’일 때 ‘03’, ‘30’ 패턴이 없는 워드의 수 $G_{N_{2xxxx}}$ = 178이며, 워드가 ‘3xxxx’일 때 ‘03’, ‘30’ 패턴이 없는 워드의 수 $G_{N_{3xxxx}}$ = 139이다. 따라서 부호화 할 수 있는 데이터 중에서 ‘03’ 또는 ‘30’ 패턴이 없는 워드의 수는 총 317개이다.

부호화 하지 않았을 때 ‘03’, ‘30’ 패턴을 가진 워드의 수는 195개이며, 이 195개를 대체 할 수 있는 부호화 된 워드의 수는 317개이므로, 9/10 E-P3 혹은 P3-E 패턴 제거 부호는 가능하다.

2.1.2 11/12 E-P3 혹은 P3-E 패턴 제거 가능성 분석

입력 데이터는 11비트이며 추가 패리티 1비트를 더하여 총 12비트의 부호가 되며, 6심볼의 부호가 된다. 같은 방식으로 부호의 가능성을 조사하면 $B_{N_{0xxxxx}}$ = 529, $B_{N_{1xxxx}}$ = 390, $G_{N_{2xxxx}}$ = 634, $G_{N_{3xxxx}}$ = 495이다.

6심볼을 워드로 하는 E-P3와 P3-E 패턴 제거 부호는, 입력 데이터 11비트로 이루어진 워드들 중 ‘03’, ‘30’ 패턴을 가지고 있어 사용할 수 없는 워드의 수는 919개이며, 부호화 후의 데이터가 오류 패턴을 포함하지 않을 때의 워드의 수는 1,129개이다. 따라서 오류가 생겨 사용할 수 없는 워드의 수보다 부호화 하여 사용할 수 있는 워드의 수가 더 많기 때문에 11/12 E-P3 혹은 P3-E 패턴 제거 부호는 가능하다.

2.1.3 13/14 E-P3 혹은 P3-E 패턴 제거 가능성 분석

입력 데이터는 13비트이며 추가 패리티 1비트를 더하여 총 14비트의 부호가 되며, 7심볼의 부호가 된다.

7심볼을 워드로 하는 E-P3와 P3-E 패턴 제거 부호를 만들기 위해 같은 방법으로 가능성을 조사하면, 입력 데이터 13비트로 이루어진 워드들 중 오류 패턴을 포함하여 사용할 수 없는 워드의 수는 4,171 ($B_{N_{0xxxxxx}}$ = 2333, $B_{N_{1xxxxx}}$ = 1838)개이며, 부호화 하여 만들어지는 워드들 중 오류 패턴을 포함하지 않는 워드의 수는 4,021 ($G_{N_{2xxxxx}}$ = 2258, $G_{N_{3xxxx}}$ = 1763)개이다. 이 때, 오류 패턴을 포함하는 워드의 수보다 부호화 할 수 있는 워드의 수가 더 적으므로 오류 패턴을 포함하지 않는 13/14 E-P3와 P3-E 패턴 제거 부호는 패리티가 1비트인 경우는 존재할 수 없다.

2.1.4 k/k+1 E-P3 혹은 P3-E 패턴 제거 가능성 분석

표 1은 패리티 1비트를 추가하여 각각 8심볼, 9심볼, 10심볼의 E-P3와 P3-E 패턴 제거 부호의 가능성 여부를 보여주는데, 1비트의 추가 패리티로 부호화가 불가능함을 알 수 있다. 이와 같이 코드워드의 심볼수가 늘어나게 되면 어느 정도의 오류 패턴을 허용 하여야만 부호율을 유지함을 알 수 있다.

표 1. k/k+1 E-P3 혹은 P3-E 패턴 제거 부호의 가능성

	$B_{N_{0x..x}}$	$B_{N_{1x..x}}$	$G_{N_{2x..x}}$	$G_{N_{4x..x}}$
8심볼 (15/16)	10,105	8,342	8,042	6,280
9심볼 (17/18)	43,173	36,894	286,422	22,363
10심볼 (19/20)	182,497	160,134	102,010	79,647

2.2 k/k+1 E-P3 혹은 P3-E 패턴 제거 부호화 방법

4-레벨 셀 낸드 플래시 메모리는 한 셀에 2비트를 저장하므로, 한 심볼은 2비트의 정보를 저장한다. 따라서 k+1의 값을 짝수가 되어야 하므로 k는 홀수가 된다. 입력된 데이터 k 비트는 홀수이므로 k-1 비트를 가지고 4진 심볼로 변환하고 남은 1비트의 값을 '0' 과 '1' 의 상황으로 나누어 E-P3 혹은 P3-E 의 패턴을 포함하고 있는지 조사한다. 패턴을 포함하고 있지 않으면 데이터 k 비트를 그대로 내보내고, k+1 번째 비트에는 '0'을 기록한다.

만약 데이터가 패턴을 포함하고 있다면, 데이터를 부호화 한다. 부호화 하는 방법은 먼저 RAM 테이블에 같은 데이터가 있는지를 조사한 후, 없다면 RAM 테이블에 데이터를 저장한 후 ROM 테이블에 부호화 된 데이터를 저장한다. RAM 테이블에 같은 데이터가 있다면 이전에 이미 부호화 된 데이터가 존재한 것이므로, 이전에 부호화 된 데이터를 저장한다. k+1 번째 비트에는 '1'을 기록하며 자제 한 내용은 그림 3이 보여준다.

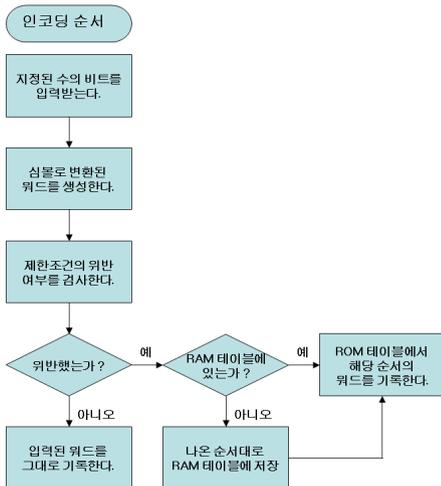


그림 3. k/k+1 E-P3 혹은 P3-E 패턴 제거 부호의 부호화(인코딩) 방법 순서도

2.3 k/k+1 E-P3 혹은 P3-E 패턴 제거 복호화 방법

복호 방법은 부호화 된 데이터인지 실제 데이터 인지를 확인하는 k+1번째 비트의 값을 먼저 읽어 체크한다. 만약 k+1번째 비트의 값이 '0'이라면 데이터는 부호화 되어있지 않은 것이며, '1'이라면 데이터는 부호화 되어 있는 것이다. 부호화 되어 있지 않은 데이터라면 k+1번째 데이터를 제외한 k비트의 데이터를 읽어내면 된다. 하지만 부호화 되어 있는 데이터라면, ROM 테이블에 비교하여 같은 데이터를 찾고, 해당 순서의 RAM 테이블에 기록된 원래 데이터를 복원해 낸다.

그림 4는 k/k+1 E-P3 혹은 P3-E 패턴 제거 부호의 복호 방법을 보여준다. ROM 테이블과 RAM 테이블의 크기는 k비트의 데이터와 부호화 한 워드 k+1비트를 각각 동시에 저장할 수 있으며, 총 $B_{N_{0x..x}} + B_{N_{1x..x}}$ 개를 저장할 수 있어야 한다. 여기서 메모리를 줄이기 위해 부호화한 워드는 k비트만 저장해도 된다. 이는 k+1번째 비트 정보는 데이터를 읽을 때 이미 '1'인 것을 판단하였기 때문이다.

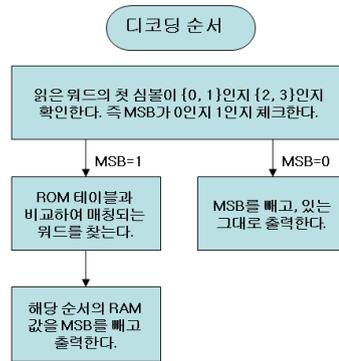


그림 4. k/k+1 E-P3 혹은 P3-E 패턴 제거 부호의 복호화 (디코딩) 방법 순서도

III. 결론

4-레벨 셀 낸드 플래시 메모리에서 네 가지 레벨을 erased 상태인 E, 그리고 낮은 전압 구간부터 P1, P2, P3라고 할 때 E와 P3 상태가 연속해서 나온다면 오류가 나올 확률이 높다. 따라서 이러한 연속된 E와 P3가 나오지 않는 기법을 본 논문에서 소개하였다.

데이터 비트의 길이를 k라고 할 때 1비트의 추가적인 패리티 비트를 사용하였으며, E와 P3가 연속

하지 않는 워드들을 뽑아서 부호화하였다. 추가적인 1비트로는 원 데이터가 저장된 것인지 아니면, 제한된 기법을 통해 부호화 된 것인지를 구분하며, 원본 데이터에 E와 P3가 연속하지 않다면 추가적인 1비트는 '0'이 되며 데이터 그대로 저장된다.

하지만, 원본 데이터에 E와 P3가 연속한 패턴이 존재한다면 추가적인 1비트는 '1'이 되고 데이터는 부호화 방법에 의해 부호화 되어 저장된다. 본 논문에서는 6심볼 이하의 워드, 즉 부호율 11/12와 9/10에서 E와 P3의 연속 패턴을 제거하는 것을 확인하였으며, 7심볼 이상의 워드에서는 k/k+1 부호를 만들 수 없음을 보였다.

앞으로는 7심볼 이상의 워드를 사용하고 부호율을 조금 더 낮추어서 실험할 필요도 있으며, 궁극적으로는 페이지 길이의 워드 혹은 페이지 길이의 정수배 길이의 워드에 대한 실험도 필요하다.

참 고 문 헌

[1] T. Tanzawa et al., "A compact on-chip ECC for low cost Flash Memories," *IEEE Journal of Solid-State Circuits*, Vol.32, No.5, pp. 662-669, May 1997.

[2] B. Polianskikh and Z. Zilie, "Induced error-correcting code for 2bit-per-cell multi-level DRAM," *Proceeding of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems*, Vol.2, pp.352-355, Aug. 2001.

[3] R. Bez et al., "Introduction to flash memory," *Proceeding of the IEEE*, Vol.91, No.4, pp. 489-502, April 2003.

[4] K. Takeuchi et al., "A source-line programming scheme for low-voltage operation NAND flash memories," *IEEE Journal of Solid-State Circuits*, Vol.35, No.5, pp.672-681, May 2000.

[5] S. Satoh et al., "A novel channel boost capacitance (CBC) cell technology with low program disturbance suitable for fast programming 4 Gbit NAND flash memories," *Symposium on VLSI Technology Digest of Technical Papers*, pp.108-109, June 1998.

[6] J. Lee, S. Hur, and J. Choi, "Effects of floating-gate interference on NAND flash memory cell operation," *IEEE Electron Device Letters*, Vol.23, No.5, pp.264-266, May 2002.

[7] B. Chen, X. Zhang, and Z. Wang, "Error correction for multi-level NAND flash memory using Reed-Solomon codes," *IEEE Workshop on Signal Processing Systems*, pp.94-99, Oct. 2008.

[8] M. Grossi, M. Lanzoni, and B. Ricco, "Program schemes for multilevel flash memories," *Proceeding of the IEEE*, Vol.91, No.4, pp. 594-601, April 2003.

[9] K. Takeuchi, T. Tanaka, and T. Tanzawa, "A multipage cell architecture for high-speed programming multilevel NAND flash memories," *IEEE Journal of Solid-State Circuits*, Vol.33, No.8, pp.1228-1238, Aug. 1998.

[10] 조민구, 주영화, 한영수, 진교원, "Disturbanc 에 취약한 패턴 추출 방법," 제 10회 한국테스트학술대회, G-2, 2009년 6월 24일.

박 동 혁(Donghyuk Park)

정회원



2007년 2월 숭실대학교 정보통신전자공학부 학사
2007년 2월 ~ 현재 숭실대학교 정보통신전자공학부 석박통합과정
<관심분야> 스토리지 시스템, LDPC 부호, 채널코딩, 멀티레벨 셀 플래시 메모리

이 재 진(Jaejin Lee)

중신회원



1983년 2월 연세대학교 전자공학과 학사
1984년 12월 U. of Michigan, Dept. of EECS 석사
1994년 12월 Georgia Tech. Sch. of ECE 박사
1995년 1월~1995년 12월 Georgia Tech. 연구원
1996년 1월~1997년 2월 현대전자 정보통신 연구소 책임 연구원
1997년 3월~2005년 8월: 동국대학교 전자공학과 부교수
2005년 9월~현재 숭실대학교 정보통신전자공학부 교수
<관심분야> 통신이론, 채널코딩, 기록저장 시스템

양 기 주(Giju Yang)

정회원



1984년 University of Wisconsin,
전산학 학사

1986년 University of Michigan,
EECS 석사

1991년 University of Delaware
전산학 박사

1992년 KT 연구소 선임연구원

1995년~현재 동국대학교 정보통신공학과 교수

<관심분야> 통신 신호처리