

# 부호화된 4+12+16 APSK를 위한 근사화된 연판정 디매핑 알고리즘

이재윤\*, 장연수\*, 윤동원°

## Approximated Soft-Decision Demapping Algorithm for Coded 4+12+16 APSK

Jaeyoon Lee\*, Yeonsoo Jang\*, Dongweon Yoon°

### 요약

본 논문에서는 부호화된 4+12+16 APSK에 대하여 낮은 복잡도를 갖는 근사화된 연판정 디매핑 알고리즘을 제안한다. 제안된 알고리즘을 도출하기 위해 4+12+16 APSK의 결정 경계를 근사화하고, 그 근사화된 결정 경계로부터 각 비트에 대한 LLR 값을 계산한다. 새롭게 제안된 알고리즘은 기존의 max-log 알고리즘보다 곱셈 계산 수를 상당히 줄여 수신기 복잡도를 크게 낮출 수 있으며, 낮은 복잡도로 인한 BER 성능 열화를 약 1.1dB 이하로 줄일 수 있다.

**Key Words** : Amplitude Phase Shift Keying (APSK), iterative decoding, log likelihood ratio (LLR)

### ABSTRACT

This paper proposes an approximated soft decision demapping algorithm with low computational complexity for coded 4+12+16 amplitude phase shift keying (APSK) in an additive white Gaussian noise (AWGN) channel. To derive the proposed algorithm, we approximate the decision boundaries for 4+12+16 APSK symbols, and then decide the log likelihood ratio (LLR) value for each bit from the approximated decision boundaries. Although the proposed algorithm shows about 0.6~1.1dB degradation on the error performance compared with the conventional max-log algorithm, it gives a significant result in terms of the computational complexity.

### I. 서론

디지털 위성 통신 시스템에서 대용량의 데이터를 고속으로 그리고 오류 없이 전송하기 위해서는 고풍력 증폭기의 비선형 특성에 우수한 성능을 보이는 APSK(Amplitude and Phase Shift Keying) 계열의 고차변조방식과 새논의 한계에 근접한 오류 정정 성능을 보이는 터보 혹은 LDPC(Low Density Parity Check) 부호

가 요구된다. 이에 유럽 ETSI(European Telecommunications Standard Institute)에서 디지털 위성 방송 표준으로 제정된 DVB-S2(Digital Video Broadcasting-Satellite 2)에서는 고속전송 및 전송용량 증대를 위하여 APSK 계열의 고차변조방식(4+12 APSK, 4+12+16 APSK)을 표준으로 채택하였으며<sup>[1]</sup>, 위성 통신 및 심우주 통신에 사용되는 프로토콜로서 국제적으로 통용되는 표준인 CCSDS(Consultative

※ 이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2011-0026484).

♦ 주저자 : 한국전자통신연구원, jylee1988@gmail.com, 정회원

° 교신저자 : 한양대학교 융합전자공학부, dwyoon@hanyang.ac.kr, 종신회원

\* 한양대학교 융합전자공학부, ysjang83@hanyang.ac.kr

논문번호 : KICS2012-07-322, 접수일자 : 2012년 7월 17일, 최종논문접수일자 : 2012년 8월 7일

Committee for Space Data Systems)에서는 최근 고속의 telemetry 데이터 전송을 위해 APSK 계열의 변조 방식과 터보 부호를 고려하여 성능을 분석하였다<sup>[2]</sup>. 또한 NASA(National Aeronautics and Space Administration)에서는 우주통신 및 항법을 위해 APSK 변조방식과 터보 및 LDPC 부호를 권고하였다<sup>[3]</sup>.

위성 채널과 같이 오류 발생이 빈번한 무선 채널 환경에서 터보 및 LDPC 부호와 같은 강력한 FEC(Forward Error Correction) 부호화를 사용하는 경우, 오류를 보다 효과적으로 정정하기 위해서는 터보 혹은 LDPC 부호에 대한 반복 복호 기법이 수신기에 반드시 요구된다. 반복 복호 시 연관정 디매핑은 수신된 심벌로부터 비트 정보, 즉 각 비트 당 LLR(Log Likelihood Ratio) 값을 추출하는 역할을 하는데, 4+12+16 APSK와 같은 고차 변조 방식에서는 완전한 그레이 비트 매핑과 동상 및 직교 축간 비트 매핑의 대칭이 이루어지지 않기 때문에 각 비트에 대한 LLR 값을 계산하는 것은 매우 복잡하다. 따라서 대안적 방법으로 보다 낮은 계산 복잡도를 갖는 max-log 알고리즘과 Euclidean 방법 등과 같은 근사화 방법들이 LLR 값을 도출하기 위해 현재 많이 사용되고 있다<sup>[4,5]</sup>.

최근, 4+12+16 APSK에 대하여 선형 및 비선형 AWGN 채널에서 우수한 BER(Bit Error Rate) 성능과 높은 I-Q 대칭성을 보이는 새로운 비트 매핑 구조가 개발되었으며<sup>[6]</sup>, 또한, [1]에서 제시된 4+12+16 APSK의 성상도에서 가장 바깥 링을  $\pi/16$ 만큼 반시계 방향으로 회전시키므로서 비트 매핑 구조의 I-Q 대칭성을 높은 성상도와 각 비트의 결정 경계 근사화에 기반하여 복잡도를 낮춘 연관정 방법이 제시되었다<sup>[7]</sup>. 이러한 높은 I-Q 대칭성은 LLR 계산 시 계산량을 줄일 수 있는 중요 요소가 된다. 따라서 본 논문에서는 LDPC 부호화된 4+12+16 APSK에 대해 최근 개발된 비트 매핑 구조<sup>[6]</sup>와 현재 DVB-S2에 적용되어 사용 중인 비트 매핑 구조<sup>[1]</sup>, 그리고 [7]에서 제시된 성상도 및 비트 매핑 구조에 대해 max-log 알고리즘을 적용하여 구한 BER 성능을 비교·분석하고, [6]의 비트 매핑 구조에 대한 낮은 복잡도의 근사화된 연관정 디매핑 알고리즘을 제시한다. LLR 계산 복잡도를 줄이기 위해 4+12+16 APSK의 결정 경계를 선형 함수로 표현하고 근사화시키며, 비트 매핑의 I-Q 대칭성을 이용하여 불필요한 계산을 줄인다. 최종적으로 제시된 알고리즘에 대하여 BER 성능 및 LLR 계산 복잡도를 분석한다.

## II. 시스템 모델

본 논문에서는 최적의 신호 검출을 위해 수신기가 각 부호 율에 대한 최적 링 비율을 알고 있다고 가정한다.  $n_R$ 개의 링으로 구성된 신호점 성상도를 갖는 APSK에 대해, 변조된 APSK 신호  $s_{i,k}$ 는 다음과 같이 표현된다.

$$s_{i,k} = r_i \exp\left(j\left(\frac{2\pi k}{N_i} + \zeta_i\right)\right), \quad (1)$$

$$i = 1, 2, \dots, n_k, k = 0, 1, \dots, N_i - 1$$

여기서  $r_i$ 는  $i$ 번째 링의 반지름이고,  $N_i$ 는  $i$ 번째 링 상에 존재하는 신호점의 수를 나타낸다. 또한  $\zeta_i \geq 0$ 는  $i$ 번째 링에 위치하는 신호점들의 위상 값들 중 가장 작은 값을 나타낸다. 만약  $(\sum_{i=1}^{n_R} N_i r_i^2) / M = 1$ 라 가정하면, 주어진 링 비율  $\lambda = \{\lambda_0 \lambda_1 \lambda_2 \dots \lambda_{n_R-1}\}$ 에 대해서 반지름  $r_i, i = 1, 2, \dots, n_R$ 은 다음과 같이 구할 수 있다.

$$r_i = r_1 \lambda_{i-1}, i = 1, 2, 3, \dots, n_R \quad (2)$$

여기서  $r_1 = \sqrt{M / (N_1 + \sum_{g=1}^{n_R-1} N_{g+1} \lambda_g^2)}$ 이며, 본 논문에서는 DVB-S2에서 제시된 최적 링 비율을 고려한다<sup>[1]</sup>.

고출력 증폭기의 선형 영역 동작을 가정하면, AWGN 채널에서 수신 신호는 다음과 같이 표현된다.

$$z = Re\left(s_{i,k} e^{j2\pi f_c t}\right) + w(t) \quad (3)$$

여기서  $Re(\cdot)$ 는 복소수의 실수부를,  $w(t)$ 는 백색 가우시안 잡음을 나타낸다.

모든 신호점에 대해 동일한 사전확률을 가정하면, 하나의 4+12+16 APSK 심벌에 다섯 개의 비트들  $b_1 b_2 \dots b_5$ 이 할당될 때 수신된 심벌  $z$ 에서 비트  $b_n$ 에 대한 LLR은 아래와 같이 구할 수 있다.

$$LLR(b_n) = \ln \sum_{A \in \{s_{i,k} | b_n = 0\}} \exp\left(-\frac{(z-A)^2}{2\sigma^2}\right) - \ln \sum_{B \in \{s_{i,k} | b_n = 1\}} \exp\left(-\frac{(z-B)^2}{2\sigma^2}\right) \quad (4)$$

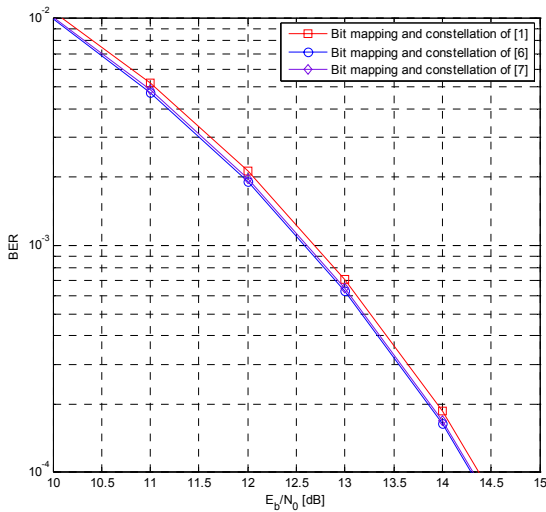
고차 변조 신호에 대한 위 식의 계산 복잡도가 매우

크기 때문에 일반적으로 max-log 알고리즘이 LLR 값을 계산하기 위해 사용된다. 따라서 max-log 알고리즘을 적용하면  $\ln \sum_m \exp(-a_m) \approx \max(-a_m)$  로 근사화 되고, 각 비트에 대한 LLR은 다음과 같다.

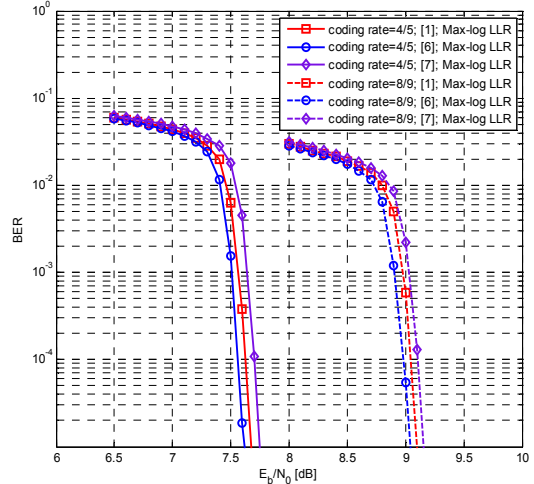
$$LLR(b_n) \approx \max(P_{i,k} | b_n = 0) - \max(P_{i,k} | b_n = 1) \quad (5)$$

여기서  $P_{i,k} = -|z - s_{i,k}|^2 / (2\sigma^2)$ ,  $i = 1, 2, 3$ ,  $k = 0, 1, \dots, N_i - 1$ 이다.

식 (5)의 max-log 알고리즘은 모든 신호점에 대해  $P_{i,k}$ 를 계산하여야 하기 때문에 여전히 높은 계산 복잡도를 갖는다. 이러한 계산 복잡도는 비트 매핑 구조의 I-Q 대칭성과 근사화된 결정경계를 이용하여 낮출 수 있다. 기존에 제시된 여러 4+12+16 APSK 성상도 및 비트 매핑 구조 중 [6]에서 제시된 비트 매핑 구조는 [1]에 제시된 비트 매핑 구조보다 I-Q 대칭성이 높고 우수한 BER 성능을 보이며, [7]에서 제시된 성상도 및 비트 매핑 구조는 성상도 회전을 통해 높은 I-Q 대칭성을 갖는다. 따라서 먼저 이러한 세 가지 비트 매핑 구조에 대하여 부호화하지 않은 4+12+16 APSK의 BER 성능과 위 식 (5)의 max-log 알고리즘을 이용한 부호화된 4+12+16 APSK의 BER 성능을 분석한 후 가장 우수한 BER 성능을 보이는 성상도 및 비트 매핑 구조에 대해 새로운 연판정 디매핑 알고리즘을 제시하도록 한다.



(a)



(b)

그림 1. [1], [6], [7]의 4+12+16 APSK 성상도 및 비트 매핑 구조 간 BER 성능 비교 (a) Uncoded 4+12+16 APSK. (b) Coded 4+12+16 APSK.

Fig. 1. BER comparison among the bits-to-symbol mapping structures of [1], [6], and [7] for 4+12+16 APSK. (a) Uncoded 4+12+16 APSK. (b) Coded 4+12+16 APSK.

그림 1 (a)에는 4+12+16 APSK 성상도를 설계하기 위한 최적 링 비율을  $\lambda_1=2.42$ ,  $\lambda_2=4.73$ 으로 하여 선형 AWGN 채널에서 세 가지 비트 매핑 구조에 대한 uncoded 하에서의 BER 성능을 나타내었다. 이 때 BER 성능은 [8]에서 제시된 임의의 2차원 변조 방식에 대한 정확한 BER 표현을 이용하여 도출하였다. 그림 1 (a)를 통해 알 수 있듯이 [6]에서 제시된 비트 매핑 구조가 가장 우수한 성능을 보인다. 그림 1 (b)에는 식 (5)를 이용하여 LDPC 부호화된 4+12+16 APSK에 대한 세 가지 비트 매핑 구조들의 BER 성능을 나타내었는데, 이 경우에도 [6]에서 제시된 비트 매핑 구조가 가장 우수한 성능을 보인다. (여기서 고려된 부호율(최적 링 비율)은  $4/5(\lambda_1=2.72, \lambda_2=4.87)$ 와  $8/9(\lambda_1=2.54, \lambda_2=4.33)$ 이고, LDPC 부호화된 블록 크기는 64800 비트이며, 반복수는 50이다<sup>[9]</sup>.) 따라서 본 논문에서는 [6]에서 제시된 비트 매핑 구조와 근사화된 결정경계를 이용하여 LDPC 부호화된 4+12+16 APSK에 대해 낮은 복잡도를 갖는 LLR 계산 방법을 도출한다.

### III. LLR 계산을 위한 제안 알고리즘

본 논문에서는 우선 1 사분면에 수신된 심벌을 고려하여 각 비트에 대한 LLR 수식을 도출한다. 그 다음

I-Q 축 간 비트 매핑 구조의 대칭성을 이용하여 다른 사분면에 수신된 심벌의 각 비트에 대한 LLR을 1 사분면에 대해 도출한 수식으로부터 구하도록 한다.

MSB( $b_1$ )에 대해 식 (2)의 계산 복잡도를 줄이기 위하여 비트 0과 비트 1 간의 경계를 비트 매핑 구조에 따라 근사화한다. 그림 2에는 4+12+16 APSK에 대한 정상도, 결정 경계, MSB( $b_1$ )에 대한 LLR을 계산하기 위해 근사화된 경계를 나타내었다.

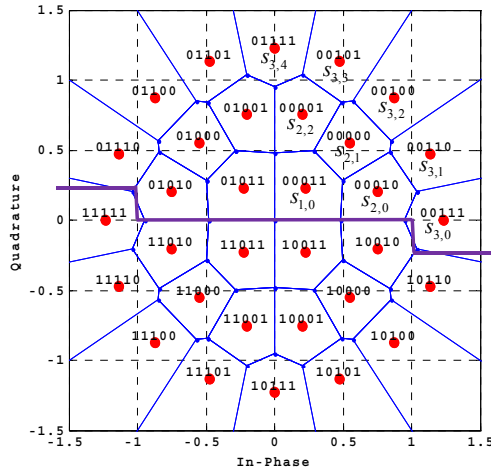


그림 2. 4+12+16 APSK의 정상도, 결정 경계 및 MSB( $b_1$ )에 대한 LLR 계산을 위한 근사 경계  
Fig. 2. Constellation, decision boundaries, and approximated LLR decision boundary for MSB( $b_1$ ) of 4+12+16 APSK.

그림 2의 근사화된 경계로부터 MSB에 대한 LLR 값은 다음과 같이 구할 수 있다.

$$LLR(b_1) \approx \begin{cases} \text{Im}(z) & , \text{for } \text{Re}(z) \leq (|s_{2,1}| + |s_{3,2}|)/2 \\ \text{Im}(z) + s_{3,0} \sin(11.25^\circ) & , \text{for } \text{Re}(z) > (|s_{2,1}| + |s_{3,2}|)/2 \end{cases} \quad (6)$$

여기서  $\sin(11.25^\circ) \approx 0.2$ 이고, 부호율(링 비율)에 상관없이  $(|s_{2,1}| + |s_{3,2}|)/2 \approx 1$ 이다. 두 번째 비트 ( $b_2$ )에 대한 비트 매핑 구조는 각각  $\pi/2$  회전된 MSB의 매핑 구조와 같다. 따라서 두 번째 비트에 대한 LLR 값은 MSB의 LLR 계산에서 수신된 심벌의 실수 값과 허수 값을 교환( $\text{Re}(z) \leftrightarrow \text{Im}(z)$ )함으로써 구할 수 있다.

세 번째 비트( $b_3$ )에 대해, 비트 매핑 구조에 따른 비트 0과 비트 1 간 근사화된 경계를 그림 3에 나타내었다.

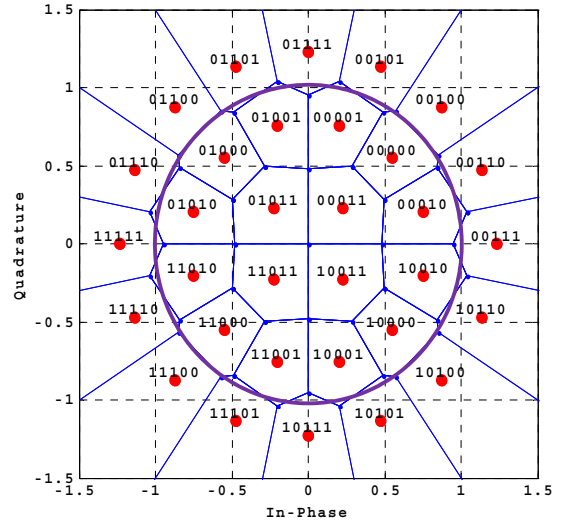


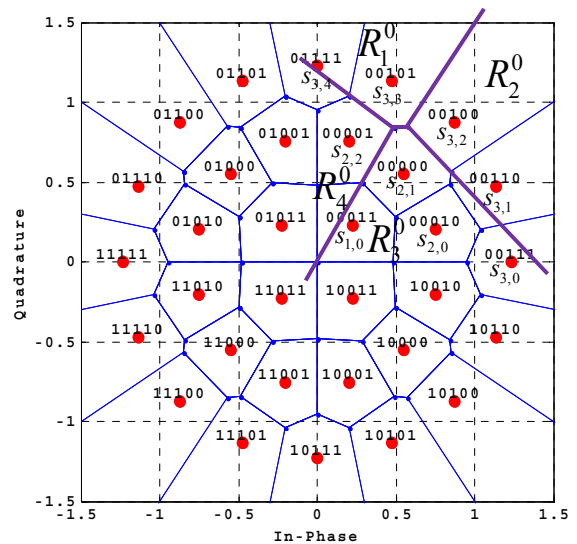
그림 3. 4+12+16 APSK의  $b_3$ 에 대한 LLR 계산을 위한 근사 경계  
Fig. 3. Approximated LLR decision boundary for  $b_3$  of 4+12+16 APSK.

그림 3에서 제시된 결정 경계를 통해 세 번째 비트에 대한 LLR 값은 다음과 같이 구할 수 있다.

$$LLR(b_3) \approx (|s_{2,1}| + |s_{3,2}|)/2 - |z| \quad (7)$$

네 번째 비트( $b_4$ )에 대해서는 먼저 비트 매핑 구조에 따른 비트 0과 비트 1에 대한 LLR 결정 영역을 결정한다.

그림 4 (a)와 (b)에는 1 사분면에서의 비트 0과 비트 1에 대한 LLR 결정 영역을 각각 나타내었다.



(a)

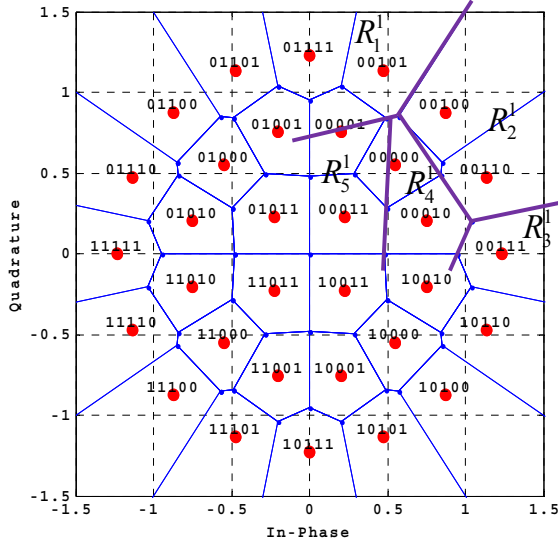


그림 4. 4+12+16 APSK의  $b_4$ 에 대한 LLR 계산을 위한 근사 경계. (a)  $b_4=0$ . (b)  $b_4=1$ .  
Fig. 4. Approximated LLR decision boundary for  $b_4$  of 4+12+16 APSK. (a)  $b_4=0$ . (b)  $b_4=1$ .

그림 4에서 볼 수 있듯이, 심벌  $S_{2,1}, S_{2,2}, S_{3,2}, S_{3,3}$  간 결정 경계가 비트 0에 대한 LLR 경계이고, 심벌  $S_{1,0}, S_{2,0}, S_{3,0}, S_{3,1}, S_{3,4}$  간 결정 경계가 비트 1에 대한 LLR 경계이다. 따라서 네 번째 비트에 대한 LLR 값을 구하기 위해 1 사분면을 LLR 경계로부터 여러 LLR 결정 영역으로 나눈다. 즉, 비트 0에 대해서는  $R_1^0, R_2^0, R_3^0, R_4^0$ 로, 비트 1에 대해서는  $R_1^1, \dots, R_5^1$ 로 나눈다. 이와 같은 1 사분면에서의 네 번째 비트에 대한 LLR 결정 영역은 아래와 같이 표현된다.

i)  $b_4 = 0$ 인 경우 :

$$\begin{aligned}
 R_1^0 &= (|Im(z)| \geq y_{s_{2,2}^0 s_{3,3}^0} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| \geq y_{s_{2,1}^0 s_{3,3}^0} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| \geq y_{s_{3,2}^0 s_{3,3}^0} (|Re(z)|)) \\
 R_2^0 &= (|Im(z)| \geq y_{s_{2,1}^0 s_{3,2}^0} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| < y_{s_{3,2}^0 s_{3,3}^0} (|Re(z)|)) \\
 R_3^0 &= (|Im(z)| < y_{s_{2,1}^0 s_{3,3}^0} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| < y_{s_{2,1}^0 s_{3,2}^0} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| < y_{s_{2,1}^0 s_{3,2}^0} (|Re(z)|)) \\
 R_4^0 &= (|Im(z)| < y_{s_{2,2}^0 s_{3,3}^0} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| \geq y_{s_{2,1}^0 s_{3,2}^0} (|Re(z)|))
 \end{aligned} \tag{8}$$

ii)  $b_4 = 1$ 인 경우 :

$$\begin{aligned}
 R_1^1 &= (|Im(z)| \geq y_{s_{1,0}^1 s_{3,4}^1} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| \geq y_{s_{3,2}^1 s_{3,3}^1} (|Re(z)|)) \\
 R_2^1 &= (|Im(z)| < y_{s_{3,2}^1 s_{3,3}^1} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| \geq y_{s_{2,0}^1 s_{3,1}^1} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| \geq y_{s_{3,0}^1 s_{3,1}^1} (|Re(z)|)) \\
 R_3^1 &= (|Im(z)| < y_{s_{3,0}^1 s_{3,1}^1} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| < y_{s_{2,0}^1 s_{3,0}^1} (|Re(z)|)) \\
 R_4^1 &= (|Im(z)| < y_{s_{1,0}^1 s_{2,0}^1} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| < y_{s_{1,0}^1 s_{3,4}^1} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| < y_{s_{2,0}^1 s_{3,1}^1} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| \geq y_{s_{2,0}^1 s_{3,0}^1} (|Re(z)|)) \\
 R_5^1 &= (|Im(z)| < y_{s_{1,0}^1 s_{3,4}^1} (|Re(z)|)) \\
 &\quad \cap (|Im(z)| \geq y_{s_{1,0}^1 s_{2,0}^1} (|Re(z)|))
 \end{aligned} \tag{9}$$

여기서  $y_{s_{i,k}^x s_{u,v}^x}(x)$ 는 두 개의 인접 신호점  $s_{i,k}$ 와  $s_{u,v}$  간 결정 경계를 나타내며, 다음과 같이 기울기  $-1/m_{s_{i,k}^x s_{u,v}^x}$ 를 갖는 선형 함수로 표현될 수 있다.

$$\begin{aligned}
 y_{s_{i,k}^x s_{u,v}^x}(x) &= -\frac{1}{m_{s_{i,k}^x s_{u,v}^x}} x \\
 &\quad + \frac{Re(s_{i,k}) + Re(s_{u,v})}{2m_{s_{i,k}^x s_{u,v}^x}} \\
 &\quad + \frac{Im(s_{i,k}) + Im(s_{u,v})}{2}
 \end{aligned} \tag{10}$$

여기서  $m_{s_{i,k}^x s_{u,v}^x}$ 는 두 인접 신호점  $s_{i,k}$ 와  $s_{u,v}$ 를 연결하는 직선의 기울기이다.

만약 수신된 심벌  $z$ 가 영역  $R_1^0 \cap R_1^1$ 으로 수신된다면, 비트 1에 대해 검출될 가능성이 가장 높은 심벌은  $s_{3,4}$ 이며, 비트 0에 대해서는  $s_{3,3}$ 이다. 따라서 네 번째 비트에 대한 LLR 값은 다음과 같이 구할 수 있다.

$$\begin{aligned}
 LLR(b_4 | z \in R_1^0 \cap R_1^1) &\approx P_{3,3} - P_{3,4} \\
 &= -2(Re(z)(Re(s_{3,3}) - Re(s_{3,4})) \\
 &\quad + 2Im(z)(Im(s_{3,3}) - Im(s_{3,4})) \\
 &\quad + |s_{3,4}|^2 - |s_{3,3}|^2) / (2\sigma^2)
 \end{aligned} \tag{11}$$

위 식 (11)과 유사한 방법으로, 수신된 심벌  $z$ 가 다른 LLR 영역으로 수신된 경우 네 번째 비트에 대한 LLR 값은  $LLR(b_4 | z \in R_2^0 \cap R_2^1) \approx P_{3,2} - P_{3,1}$ ,  $LLR(b_4 | z \in R_2^0 \cap R_3^1) \approx P_{3,2} - P_{3,0}$ ,  $LLR(b_4 | z \in R_3^0 \cap R_2^1) \approx P_{2,1} - P_{3,1}$ ,

$$\begin{aligned}
 LLR(b_4|z \in R_3^0 \cap R_3^1) &\approx P_{2,1} - P_{3,0}, \\
 LLR(b_4|z \in R_3^0 \cap R_4^1) &\approx P_{2,1} - P_{2,0}, \\
 LLR(b_4|z \in R_3^0 \cap R_5^1) &\approx P_{2,1} - P_{1,0}, \\
 LLR(b_4|z \in R_4^0 \cap R_1^1) &\approx P_{2,2} - P_{3,4}, \\
 LLR(b_4|z \in R_4^0 \cap R_5^1) &\approx P_{2,2} - P_{1,0}
 \end{aligned}$$

과 같이 식 (11)과 동일하게 계산되며,  $P_{i,k} - P_{i',k'}$ 에서  $i = i'$ 인 경우에는 식 (11)을 아래와 같이 줄일 수 있다.

$$\begin{aligned}
 P_{i,k} - P_{i',k'} &= -(Re(z)(Re(s_{i,k}) - Re(s_{i',k'})) \\
 &\quad + Im(z)(Im(s_{i,k}) - Im(s_{i',k'})))/\sigma^2 \quad (12)
 \end{aligned}$$

다섯 번째 비트 ( $b_5$ )에 대한 비트 매핑 구조는 각각  $\pi/2$  회전된 네 번째 비트의 매핑 구조와 같다. 따라서 다섯 번째 비트에 대한 LLR 값은 네 번째 비트의 계산에서 수신된 심벌의 실수 값과 허수 값을 교환 ( $Re(z) \leftrightarrow Im(z)$ )함으로써 구할 수 있다.

#### IV. BER 및 계산 복잡도 분석

[6]에서 제시된 비트 매핑 구조를 고려하여 LDPC 부호화된 4+12+16 APSK에 대해 제안된 연관정 디매핑 알고리즘과 max-log 알고리즘의 BER 결과를 도출하고 분석한다. 여기서 고려된 부호율(최적 링 비율)은  $4/5(\lambda_1=2.72, \lambda_2=4.87)$ 와  $8/9(\lambda_1=2.54, \lambda_2=4.33)$ 이고, LDPC 부호화된 블록 크기는 64800 비트이며, 반복수는 50이다<sup>[9]</sup>.

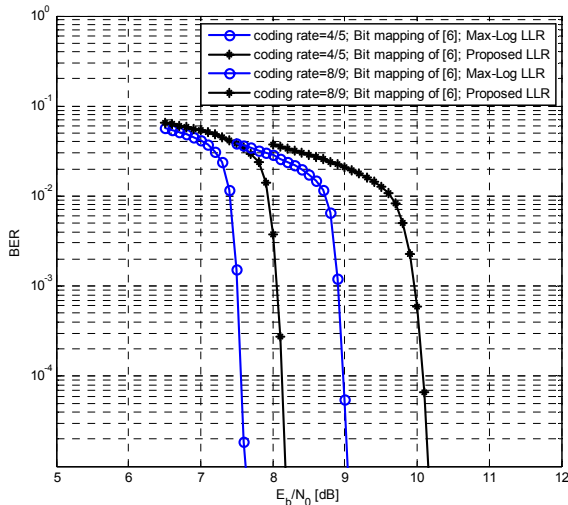


그림 5. LDPC 부호화된 4+12+16 APSK의 BER 성능 비교  
 Fig. 5. BER comparison of LDPC coded 4+12+16 APSK.

그림 5에는 [6]에서 제시된 비트 매핑 구조에 대해 max-log 알고리즘과 본 논문에서 새롭게 제시한 LLR 계산 알고리즘에 대한 BER 결과를 나타내었다. 그림 5에서 볼 수 있듯이 본 논문에서 제시된 알고리즘이 BER 성능 면에서는 max-log 알고리즘보다 약 0.6dB(부호율=4/5), 1.1dB(부호율=8/9) 저하된다. 그러나 계산 복잡도 면에서는 식 (10)에서 LLR 계산 시 요구되는  $Re(s_{i,k}), Im(s_{i,k}), |s_{i,k}|^2$ 는 모두 상수 값들이고 식 (6), (7), (11)의 계산식은 식 (5)의  $P_{i,k}$  계산보다 훨씬 낮은 계산량을 갖기 때문에 제시된 알고리즘이 max-log 알고리즘보다 상당히 낮은 복잡도를 갖는다. 예를 들어 일반적으로 하드웨어 구현을 복잡하게 만드는 곱셈 연산을 고려하면, 기존 max-log 알고리즘은 320번의 곱셈 연산을 수행하여야 하는데 반면 제시된 알고리즘은 최소 16번에서 최대 52번의 곱셈 연산만을 필요로 한다. 표 1에는 두 알고리즘 간 곱셈 연산의 수를 비교하여 나타내었다.

표 1. 기존의 기법과 제안하는 기법의 곱셈 연산 수 비교

Table 1. Comparison of the number of the multiplication operations between the conventional and proposed algorithms.

Bit	Number of multiplication operation	
	Max-log algorithm	Proposed algorithm
$b_1$	64	0
$b_2$	64	0
$b_3$	64	2
$b_4$	64	7~25
$b_5$	64	7~25

그림 6에는  $10^{-6}$ 의 BER에서 반복 횟수에 따른 제안된 LLR 계산 알고리즘과 기존의 max-log 알고리즘 간 부호율에 대한 요구 SNR을 비교하여 나타내었다. 그림 6에서 알 수 있듯이 반복 횟수를 높임으로서 얻을 수 있는 요구 SNR 이득은 부호율이 클수록 점점 작아지고(0.5dB 내외), 부호율이 작을수록 커진다(1dB 내외). 이것은 부호율이 크면 많은 잉여 비트가 생성되어 반복 복호의 효율을 증가시키기 때문이다. 또한 부호율이 작을수록 제안된 연관정 디매핑 알고리즘의 max-log 알고리즘에 대한 요구 SNR 손실은 점점 작아

지는데(최소 0.4dB), 그 이유는 많은 잉여 비트로 인한 반복 복호의 효율 증가가 신호점 결정 경계의 근사화로 발생한 LLR 값의 오차에 기인한 성능 열화를 줄이기 때문이다.

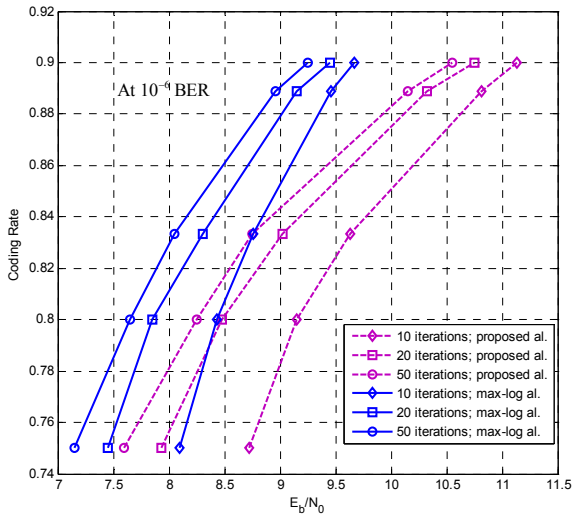


그림 6.  $10^{-6}$ 의 BER에서 반복 횟수에 따른 두 알고리즘 간 성능 비교  
 Fig. 6. Performance comparison between two algorithms for the number of iterations at  $10^{-6}$  BER.

### V. 결론

본 논문에서는 [6]에서 제시된 비트 매핑 구조를 고려하여 부호화된 4+12+16 APSK에 대한 낮은 복잡도를 갖는 근사화된 연판정 디매핑 알고리즘을 제시하였다. 제시된 알고리즘은 각 비트에 대한 LLR 값을 구하기 위해 기존 max-log 기법보다 매우 적은 수의 곱셈 연산을 필요로 하므로 수신기의 복잡도를 상당히 낮출 수 있으며, 낮은 복잡도로 인한 BER 성능 열화를 약 1.1dB이하로 줄일 수 있기 때문에, 제시된 알고리즘을 4+12+16 APSK 변조 방식을 사용하는 위성 통신 시스템에서 사용할 경우 시스템 전력 소모를 줄일 수 있을 뿐만 아니라 복잡도 감소로 인한 전송 효율의 감소를 방지할 수 있을 것이다.

### References

[1] Digital Video Broadcasting (DVB); Second generation framing structure, channel coding and modulation systems for Broadcasting, Interactive Services, News Gathering and other broadband satellite applications (DVB-S2),

European Telecommunications Standards Institute (ETSI) EN 302 307 v1.2.1, 2009.  
 [2] "Research and Development for Space Data System Standards: Flexible Serially Concatenated Convolutional Turbo Codes With Near-Shannon Bound Performance For Telemetry Applications," Orange book CCSDS 131.2-O-1, Sep. 2007.  
 [3] Coding, Modulation, and Link Protocol (CMLP) Study Report, National Aeronautics and Space Administration (NASA)-Space Communication and Navigation (SCaN), Jan. 2008.  
 [4] A. J. Viterbi, "An intuitive justification and a simplified implementation of the MAP decoder for convolutional codes," *IEEE Journal on Selected Areas in Communications*, vol. 16, no. 2, pp. 260-264, Feb. 1998.  
 [5] C. D. Ryu, J. W. Park, and M. H. Sunwoo, "Simplified soft-decision demapping algorithm for digital video broadcasting system," *IET Electronics Letters*, vol. 46, no. 12, pp. 840-842, Apr. 2010.  
 [6] J. Lee, D. Yoon, and S. Park, "New bits-to-symbol mapping for 32 APSK over nonlinear satellite channels," *IEICE Transactions on Communications*, vol. E92-B, no. 11, pp. 3384-3388, Nov. 2009.  
 [7] M. Zhang and S. Kim, "Efficient soft demapping for M-ary APSK," in Proc. ICTC 2011, Seoul, Korea, pp. 641-644, Sept. 2011.  
 [8] J. Lee, D. Yoon, and K. Hyun, "Exact and general expression for the error probability of arbitrary two-dimensional signaling with I/Q amplitude and phase unbalances," *IEICE Transactions on Communications*, vol. E89-B, no.12, pp. 3356-3362, Dec. 2006.  
 [9] T. Clevorn, F. Oldewurtel, S. Godtmann, and P. Vary, "Iterative demodulation for DVB-S2," in Proc. IEEE PIMRC 2005, Berlin, Germany, pp. 2576-2580, Sept. 2005.

이 재 윤 (Jaeyoon Lee)



2002년 2월 대전대학교 정보통신공학과 졸업  
2004년 2월 대전대학교 정보통신시스템공학과 석사  
2008년 2월 한양대학교 전자통신컴퓨터공학과 박사  
2010년 9월~2012년 1월 한양

대학교 연구조교수

2012년 2월~현재 한국전자통신연구원 선임연구원  
<관심분야> 통신 이론, 무선 및 이동 통신

윤 동 원 (Dongweon Yoon)

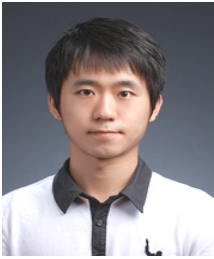


1989년 2월 한양대학교 전자통신공학과 졸업  
1992년 2월 한양대학교 전자통신공학과 석사  
1995년 8월 한양대학교 전자통신공학과 박사  
1995년~1997년 동서대학교

정보통신공학과 전임강사

1997년~2004년 대전대학교 정보통신공학과 부교수  
2002년~2005년 한국전자통신연구소 초빙연구원  
2004년~현재 한양대학교 융합전자공학부 교수  
<관심분야> 통신 이론, 무선 및 이동 통신, 위성 및 우주 통신

장 연 수 (Yeonsoo Jang)



2009년 2월 한양대학교 전자통신 공학과 졸업  
2009년 3월~현재 한양대학교 전자통신컴퓨터 공학과 석박사 통합과정  
<관심분야> 무선 통신, 위성 및 우주 통신