

# 직접 수열 확산 대역 시스템의 고속 부호 획득을 위한 순차 추정 기법들의 성능 분석

이성로\*, 채근홍\*, 윤석호\*\*, 정민아<sup>o</sup>

## Performance Analysis of Sequential Estimation Schemes for Fast Acquisition of Direct Sequence Spread Spectrum Systems

Seong Ro Lee\*, Keunhong Chae\*, Seokho Yoon\*\*, Min-A Jeong<sup>o</sup>

### 요 약

직접 수열 확산 대역 시스템에서는 (direct sequence spread spectrum: DSSS) 올바른 신호 동기화가 매우 중요하며, 이에 따라 부호 획득을 위한 다양한 순차 추정 기반 기법들이 연구되어 왔다. 대표적으로, rapid acquisition sequential estimation (RASE), seed accumulating SE (SASE), recursive soft SE (RSSE) 등의 기법이 연구되었다. 하지만, 기존의 기법들 간의 객관적인 성능 비교 및 분석은 현재까지 이루어진 바 없다. 본 논문에서는 순차 추정 기반 부호 획득 기법의 대표적 성능 지표인 올바른 칩 추정 확률 및 평균 부호 획득 시간을 (MAT) 이용하여 RASE, SASE, 및 RSSE 기법의 성능을 비교 및 분석한다.

**Key Words** : DSSS (direct sequence spread spectrum), RASE (rapid acquisition sequential estimation), SASE (seed accumulating sequential estimation), RSSE (recursive soft sequential estimation)

### ABSTRACT

In the direct sequence spread spectrum system, the correct synchronization is very important; hence, several acquisition schemes based on the sequential estimation have been developed. Typically, the rapid acquisition sequential estimation (RASE) scheme, the seed accumulating sequential estimation (SASE) scheme, the recursive soft sequential estimation (RSSE) scheme have been developed for the correct acquisition. However, the objective performance comparison and analysis between former estimation schemes have not been performed so far. In this paper, we compare and analyze the performance of the above sequential estimation schemes by simulating the correct chip probability and the mean acquisition time (MAT).

### I. 서 론

직접 수열 확산 대역 (direct sequence spread spectrum:

DSSS) 시스템은 송수신기가 칩 (chip) 전송율이 높은 의사잡음 (psuedo-noise) 부호에 대한 정보를 공유하여 이용하는 광대역 무선 통신 시스템으로<sup>[1]</sup>, 다른 확

\* 본 연구는 미래창조과학부 및 정보통신산업진흥원의 IT융합 고급인력과정 지원사업(NIPA-2014-H0401-14-1009)과 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2014R1A5A1011478).

◆ First Author : Mokpo National University, Department of Information and Electronics Engineering, srlee@mokpo.ac.kr, 정회원

<sup>o</sup> Corresponding Author : Mokpo National University, Department of Computer Engineering, majung@mokpo.ac.kr, 정회원

\* Sungkyunkwan University, College of Information & Communication Engineering, chae0820@skku.edu, 학생회원

\*\* Sungkyunkwan University, College of Information & Communication Engineering, syoon@skku.edu, 중신회원

논문번호 : KICS2014-02-031, Received February 3, 2014; Revised June 12, 2014; Accepted August 6, 2014

산 대역 기법들에 비해 잡음과 재밍에 강인하며, 허가된 사용자 이외에는 수신이 어렵다는 장점을 가지고 있다<sup>2)</sup>. DSSS 시스템에서는 신호 복호화를 위하여 송신된 DSSS 신호에 국소 의사잡음 부호를 곱하기 때문에, 신호의 올바른 동기화가 반드시 이루어져야 올바른 데이터를 얻을 수 있다. 따라서, 수신기에서는 송신기에서 보낸 DSSS 신호와 국소 DSSS 신호 간의 시간 동기화를 위하여 부호 획득 (대략적인 시간 동기화) 및 부호 추적 (정밀한 시간 동기화) 과정을 순차적으로 거친다. 부호 획득 과정에서는 송신된 DSSS 신호와 국소 DSSS 신호의 부호 위상차를 일정 범위 (추적이 가능한 범위) 이내가 되도록 한다. 또한, 추적 과정에서는 부호 획득 이후에 정밀한 신호 동기화를 수행하고, 이를 유지하도록 한다. 최근에는 부호 분할 다중 접속 (code division multiple access: CDMA), global positioning system (GPS) 등의 시스템에서 사용자 구분 및 고신뢰성 위치 정보 제공을 위하여 긴 주기의 의사잡음 부호를 사용하고 있다. 대표적으로는 GPS 시스템에서 사용하는 P-code가 있으며, 1주일에 달하는 긴 주기를 가지고 있다<sup>3)</sup>.

현재까지 부호 획득을 위한 다양한 연구들이 진행되어 왔다<sup>4,8)</sup>. 이들 중 직렬 검색 방법인<sup>4)</sup> 부호 획득이 이루어질 때까지 모든 시간 지연 후보들을 하나씩 검색하는 방법으로, 코드의 길이가 길어질수록 검색해야 하는 후보들이 많아지기에 평균 부호 획득 시간인 (mean acquisition time: MAT) 길어진다는 단점이 있다. 또, 병렬 검색 방법인<sup>5)</sup> 구현하기에 하드웨어 복잡도가 매우 높다는 단점이 있다. 이와 같은 문제를 해결하기 위하여, 순차 추정 (sequential estimation: SE) 기반의 기법들이 제안되었다. 순차 추정 기반 부호 획득 방법은 모든 시간 지연 후보들을 검색할 필요 없이, 의사잡음 부호를 발생시킬 수 있는 시드만을 올바르게 추정하면 의사잡음 부호를 얻을 수 있다. 구체적으로는 의사잡음 부호의 주기가  $2^n - 1$ 일 때,  $n$ 개의 의사잡음 부호만 (시드) 추정하여 전체 의사잡음 부호를 얻을 수 있다.

순차 추정 기반 부호 획득 기법으로는, 먼저 대표적인 의사잡음 부호인 최대 길이 시퀀스에 (m-sequence) 대하여 수신한 여러 칩들을 부호 발생기의 레지스터에 적재하여 순차적으로 수신 m-sequence를 추정하는 rapid acquisition sequential estimation (RASE) 기법이 제안되었다<sup>6)</sup>. RASE 기법은 신호 대 잡음비가 (signal-to-noise ratio: SNR) 매우 낮지만 않으면 MAT를 크게 낮출 수 있다는 장점이 있으나, 시드 추

정이 실패하는 경우 코드 획득 역시 올바르게 수행되지 못하는 문제가 있다. 이후 RASE 기법을 발전시킨 순차 추정 기법으로 두 접근 방식이 제안되어 왔다. 구체적으로는 여러 주기의 m-sequence를 누적해서 수신해가면서 코드 칩 추정 정확도를 높이는 seed accumulating SE (SASE) 기법과<sup>7)</sup> 재귀적인 소프트 입출력을 (soft-in/soft-out: SISO) 이용하여 성능을 향상시키는 recursive soft SE (RSSE) 기법이<sup>8)</sup> 제안되었다. 하지만, 대표적인 순차 추정 기법들인 [6-8] 간의 성능은 현재까지 객관적으로 비교된 바 없고, 특히 [8]에서는 순차 추정 기법의 중요 성능 지표인 MAT에 대해서는 언급하고 있지 않아, 각 기법들 간의 객관적인 성능 비교가 어렵다.

이에 따라, 본 논문에서는 대표적인 순차 추정 기법들인 RASE, SASE, RSSE 기법의 성능을 올바른 칩 추정 확률 및 MAT 성능 비교를 통해 객관적으로 비교 및 분석하였다. 순차 추정 기법에서는 초기 시드 추정이 전체 성능에 큰 영향을 미치므로, 올바른 칩 추정 확률이 (correct chip estimation probability) 중요한 성능 지표이며, 실시간 통신을 (real-time communication) 위해 MAT 역시 중요한 성능 지표이다.

이후 본 논문의 구성은 다음과 같다. II장에서는 RASE, SASE, RSSE 기법을 소개한다. III장에서는 본 논문에서 다루어지는 가장 중요한 성능 지표인 MAT를 수학적으로 나타내었으며, IV장에서는 RASE, SASE 및 RSSE 기법을 올바른 칩 추정 확률과 MAT를 성능 지표로 하여 비교 및 분석한 모의실험 결과를 보인다. 마지막으로, V장에서는 본 논문의 결론을 내린다.

## II. 순차 추정 기법

### 2.1 RASE 기법

m-sequence 생성을 위한 근원 다항식은 아래와 같이 나타낼 수 있다.

$$f(x) = \sum_{i=0}^{n-1} c_i x^i \quad n \in \{n | n > 1 \text{인 정수}\}, \quad (1)$$

여기서  $x$ 는 지연 연산자를 나타내고,  $c_0 = c_n = 1$ 이며, 그 외의  $c_i$ 는 0 또는 1값을 가진다. 식 (1)의 근원 다항식을 가지는 m-sequence는  $n$ 단계 선형 피드백 시프트 레지스터를 (linear feedback shift register: LFSR) 가지는 코드 발생기를 이용하여 발생시킬 수

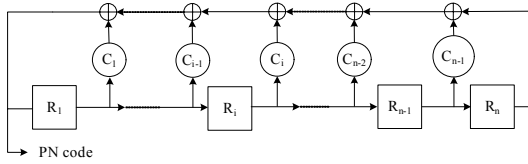


그림 1. LFSR 기반 m-sequence 생성기.  
Fig. 1. The m-sequence generator based on LFSR.

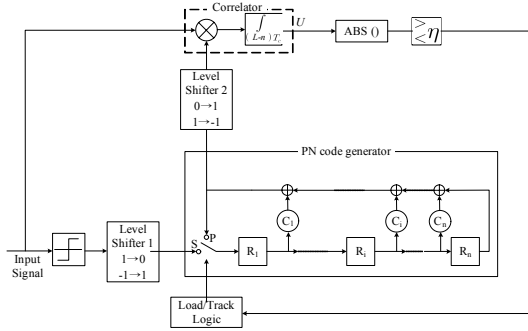


그림 2. RASE 기법의 구조도.  
Fig. 2. The structures of RASE.

있으며, 이렇게 발생된 m-sequence의 주기  $L$ 은  $2^n - 1$ 이 된다. 그림 1에서  $R_1, R_2, \dots, R_n$ 은 지연을 위한 저장 소자들이며 시프트 레지스터의 각 단계를 나타낸다.  $c_1, c_2, \dots, c_{n-1}$ 는 시프트 레지스터의 각 단계  $R_i$ 의 출력을 이진 덧셈기로 (modulo-2 adder) 연결시켜 주는 스위치의 역할을 한다. 부호 발생기로부터 발생하는 이진 m-sequence  $\{b_k\}$ 의 각 코드 칩  $b_k$ 는 반복 관계 특성에 의해 다음과 같이 표현할 수 있다.

$$b_k = \sum_{i=1}^n c_i b_{k-i} \quad k > n, \quad (2)$$

그림 1과 식 (2)로부터 알 수 있듯이 m-sequence의  $k$ 번째 칩의 값은 그 이전에 생성한  $n$ 개 칩 값들을 조합해서 구할 수 있다.

RASE 기법은 수신된  $n$ 개의 연속하는 칩이 +1인 지 -1인지를 추정하여 시드를 얻은 후, 시드의 값을 수신단의 시프트 레지스터 각 단계의 초기값으로 함으로써 수신하는 m-sequence와 동일한 위상을 가지는 국소 m-sequence를 생성하는 기법으로, 그림 2는 RASE 기법의 블록도를 나타낸다. 구체적으로는 첫  $n$ 개의 칩 동안은 적재 스위치가 'S'에 위치하여 수신되는 코드 칩들을 레지스터에 적재한다.  $n$ 개의 칩이 완전히 적재되고 나면, 스위치가 'P' 위치로 전환되어, 레지스터에 적재된 코드 칩들을 기반으로 m-sequence

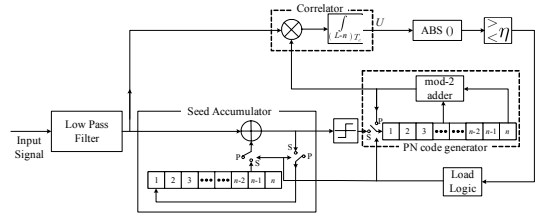


그림 3. SASE 기법의 구조도.  
Fig. 3. The structures of SASE.

가 생성된다. 이후, 상관값과 문턱값과의 비교를 통해 부호 획득을 판단하고, 부호획득이 잘 이루어지지 않았다 판단하면 스위치의 위치를 'S'로 전환한 후, 부호 획득 과정을 반복하게 된다.

### 2.2 SASE 기법

RASE 기법에서는 hard-decision을 통하여 수신한 m-sequence의 코드의 칩이 +1인지 -1인지를 추정한다. 하지만 낮은 SNR에서는 이러한 코드 칩 추정이 신뢰성 있게 수행되지 않을 수 있으며, 이러한 경우, 코드 획득이 올바르게 수행되지 않기 때문에, 시스템의 성능을 크게 열화시킬 수 있다. RASE 기법과 달리, SASE 기법은 수신된 코드 칩들을 누적하는 시드 누적기 (seed accumulator) 이용하여 낮은 SNR에서도 신뢰성 있는 코드 칩 추정을 수행할 수 있게 설계되었으며, 그림 3은 SASE 기법의 구조도를 나타낸다.

SASE 기법은 그림 3에서 나타난 바와 같이, RASE 기법에 시드 누적기가 추가되어 수신된 코드 칩들을 누적해나간다. 구체적으로는, 먼저 시드를 얻기 위하여 스위치의 위치는 'S'에 위치한다. 다음으로, 수신된 코드 칩들은 시드 누적기에 저장되어 있던 값과 (시드 누적기 레지스터들의 초기값은 0) 가산기를 통해 더해진다. 가산기의 출력값은 시드 누적기에 새롭게 적재됨과 동시에, m-sequence 생성기의 레지스터에 적재된다. 완전히 적재된 후에는, 스위치의 위치가 'P'로 전환되어 m-sequence가 생성된다. 만일 본 과정을 통해 부호 획득이 이루어지지 않을 경우에는 의사잡음 부호 한 주기가 진행된 후에 다시 시드가 적재되게 된다.

### 2.3 RSSE 기법

RSSE 기법은 본래 터보 채널 디코딩에서 사용된 재귀적 소프트 입출력 (soft-in/soft-out: SISO) 디코딩 원리를 m-sequence 생성기에 (m-sequence generator) 적재될 시드의 추정 신뢰도를 높이기 위하여 순차 추정 기법에 적용한 것이다. 본 기법의 구조도를 그림 4에 나타내었다.

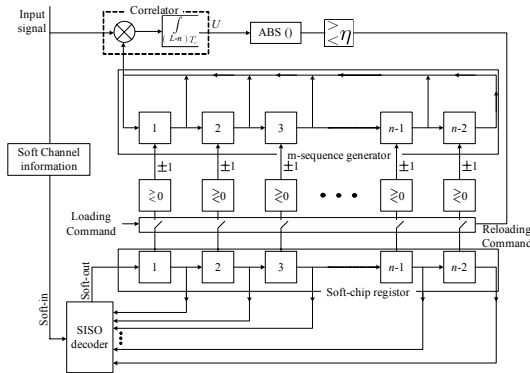


그림 4. RSSE 기법의 구조도.  
Fig. 4. The structures of RSSE.

소프트칩 레지스터는 적재된 시드의 칩 각각에 대한 로그우도비 (log-likelihood ratio: LLR) 값을 저장하고 있다 (초기값: 0). SISO decoder는 수신한 샘플 칩과 소프트칩 레지스터에 적재되어 있던 LLR 값을 기반으로 soft output을 얻고, 이를 소프트칩 레지스터에 적재한다. 소프트칩 레지스터 내에 적재되어 있는 LLR 값이 클수록, 이를 기반으로 추정될 시드의 신뢰도가 높음을 의미한다. LLR 값이 충분히 크다고 판단되면, 그림4의 'loading command'가 각 코드의 값을 hard-decision하여 m-sequence 생성기에 적재하고, 이후 m-sequence를 생성한다.

### III. MAT 성능 분석

부호를 획득하는데 소요되는 평균 시간은 발생 함수 흐름도를 (generation function flow graph) 이용하여 구할 수 있다<sup>9)</sup>. 그림 5는 RASE, SASE, RSSE 기법의 함수 흐름도를 나타내며, 본 흐름도를 통해 상기 순차 추정 기법들의 MAT를 구할 수 있다. 그림 5에서 나타난  $P_c^n(i)$ 는 부호 획득을 위한  $i$ 번째 시도에서 추정된  $n$ 개 칩으로 이루어진 시드가 실제 칩 값과 같을 확률 (올바른 칩 추정 확률) 나타낸다 ( $n$ 개 칩이 결정되면, 나머지  $L-n$ 개 칩의 값이 결정되기에,  $n$ 개 칩이 올바르게 다면 전체 m-sequence를 올바르게 추정하는 것과 같다). 또한,  $P_d$ 는  $n$ 개 칩이 올바르게 추정됨과 동시에, 상관값이 문턱값보다 큰 경우의 확률인 검파 확률 (detection probability) 의미하고,  $P_{fa}$ 는 시드에서 1개 이상의 칩이 올바르게 추정되지 않을 때, 상관값이 문턱값보다 큰 경우의 확률인 오경보 확률 (false alarm probability) 의미한다. 또한,  $K$ 는 오경보로 인한 손실 비용을 (penalty factor) 의

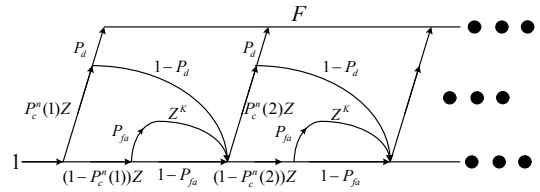


그림 5. 순차 추정 기법들의 발생 함수 흐름도.  
Fig. 5. The generation function flow graph of the sequential estimation schemes.

미한다. 그림 5로부터, 발생 함수  $F(Z)$ 는 아래의 식과 같이 나타낼 수 있다.

$$F(Z) = P_d \sum_{i=1}^{\infty} [P_c^n(i) Z^i \prod_{j=1}^{i-1} (P_c^n(j)(1-P_d) + (1-P_c^n(j))(1-P_{fa} + P_{fa}Z^K))] \quad (3)$$

식 (3)으로부터 평균 부호 획득 시간  $E\{T_{acq}\}$ 을 얻을 수 있다.

$$E\{T_{acq}\} = \frac{dF(Z)}{dZ} T_c |_{Z=1} = P_d \sum_{i=1}^{\infty} [T_c P_c^n(i) (i \prod_{j=1}^{i-1} (1-P_d P_c^n(j)) + K P_{fa} \sum_{l=1}^{i-1} (1-P_c^n(l)) \prod_{\substack{m=1, \\ m \neq l}}^{i-1} (1-P_d P_c^n(m)))] \quad (4)$$

여기서  $T_c$ 는 검사 시간으로,  $T_c = LT_c$ 이며 ( $T_c$ 는 chip duration), 적재와 상관에 소요되는 시간을 의미한다.

RASE의 경우에는  $P_c^n(i)$ 가 모든  $i$ 에 대해 일정한 값을 가지기에, 식 (3)과 식 (4)를 더욱 단순화시켜서 표현할 수 있다. 식 (3)의  $F(Z)$ 는 아래와 같이 닫힌 꼴로 정리될 수 있다.

$$F(Z) = P_c^n P_d Z / [1 - P_c^n (1 - P_d) Z - (1 - P_c^n) P_{fa} Z^{K+1} - (1 - P_c^n) (1 - P_{fa}) Z], \quad (5)$$

여기서  $P_c^n = P_c^n(1) = P_c^n(2) = \dots = P_c^n(i)$ 를 만족한다. 식 (5)를 이용하여 평균 부호 획득 시간  $E\{T_{acq}\}$ 를 아래와 같이 얻을 수 있다.

$$\begin{aligned}
 E\{T_{acq}\} &= \frac{dF(Z)}{dZ} T_c|_{Z=1} \\
 &= \frac{1 + (1 - P_c^n)KP_{fa}}{P_c^n P_d} T_c.
 \end{aligned} \tag{6}$$

반면에, SASE 기법의 경우에는  $P_c^n(i)$ 의 값이 RASE 기법처럼 일정하지 않고, 신호 획득 시도 횟수가  $(i)$  증가할수록 증가하는 경향을 보인다. 따라서, (5)에서 정리한 닫힌꼴의  $F(Z)$ 를 얻을 수 없고, 이에 따라,  $F(Z)$ 와  $E\{T_{acq}\}$ 는 (3)과 (4)에서 정리한 수식을 따른다. SASE 기법의 올바른 칩 추정 확률은 아래와 같이 나타내어진다<sup>7)</sup>.

$$P_c(i) = 1 - Q\left(\sqrt{2i\left(\frac{E_c}{N_0}\right)}\right) \tag{7}$$

여기서  $Q(x) = \int_x^\infty 1/\sqrt{2\pi} \exp\{-y^2/2\} dy$ 로 나타내어지고,  $E_c = PT_c$ 이다 ( $P$ 는 칩 전력). 식 (7)로부터, SASE 기법은 시드 누적으로 인하여 추정 신뢰도의 향상을 얻을 수 있기 때문에,  $i$ 가 증가함에 따라, 그리고 신호대잡음비가 (signal to noise ratio: SNR) 증가함에 따라  $P_c^n(i)$ 이 증가함을 확인할 수 있다. 반대로, RASE 기법의 경우에는 시드 누적을 이용하지 않으므로, 모든 시행에서 올바른 칩 추정 확률은  $i = 1$  일 때의 식 (7)로 나타내어진다.

#### IV. 모의 실험 결과

본 장에서는 본 논문에서 분석한 RASE, SASE, RSSE 기법들의 MAT 및 올바른 칩 추정 확률을 모의 실험하고, 각 기법들의 성능을 비교한다. 모의실험을 위하여 m-sequence의 한 주기는 1023칩으로 설정하였고, SASE 및 RSSE 기법의 모의실험을 위하여 총 10주기의 m-sequence를 이용하여 순차 추정을 수행한다. 문턱값은 SNR이 0 dB일때, 오경보 확률이 0.001이 되도록 하는 값으로 설정하였고,  $K$ 는  $10 T_c$ 로 설정하였다. 채널은 덧셈꼴 백색 가우시안 잡음 채널을 고려하였으며, 데이터 비트의 영향은 고려하지 않았다. SNR은 수신된 m-sequence의 코드 칩 에너지 대 잡음의 전력밀도 비로 정의하였고, SNR의 단위는 dB로 도식하였으며, MAT의 시간 단위는  $T_c$ 로 하였다. 더불어, 본 모의실험에서는 RASE, SASE의 올바

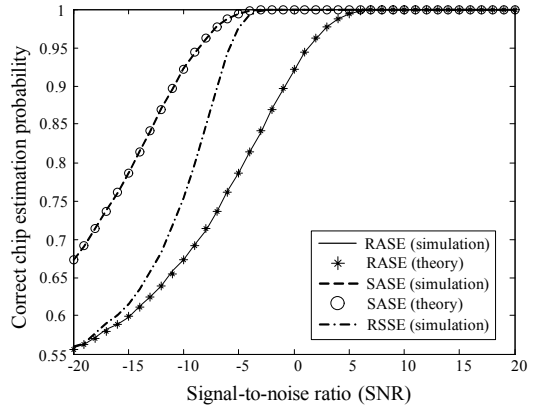


그림 6. SNR에 따른 올바른 칩 추정 확률 성능 비교  
Fig. 6. The correct chip probability as a function of SNR.

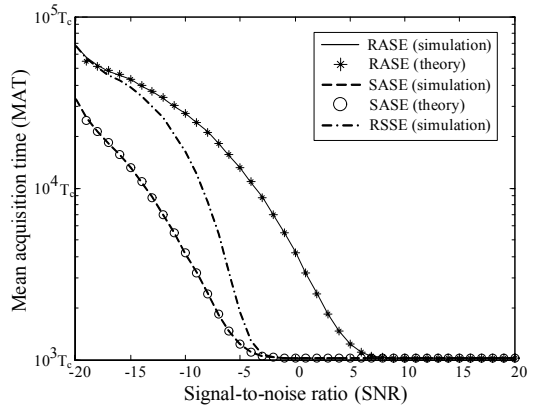


그림 7. SNR에 따른 MAT 성능 비교  
Fig. 7. The mean acquisition time as a function of SNR.

른 칩 추정 확률 및 MAT의 이론적 수치를 실험적 수치와 함께 도시하였다. 그림 6과 그림 7에서 나타난 모의실험 결과에 따르면, 본 모의 실험을 위하여 덧셈꼴 백색 가우시안 잡음 채널을 고려하였기에, 실험적 결과는 이론적 결과와 매우 높은 유사성을 보여 준다.

그림 6은 SNR에 따른 올바른 칩 추정 확률 성능을 보인다. 그림 6으로부터 SASE 기법의 올바른 칩 추정 확률은 모든 관심 SNR 범위에서 가장 우수한 성능을 보임을 확인할 수 있다. 이는 SASE 기법에서는 코드 칩 누적으로 인해 신호 성분의 크기는 누적이 반복됨에 따라 커지지만, 잡음 성분의 크기는 누적이 반복됨에 따라 작아지기에, 잡음 성분이 성능에 미치는 영향이 크게 감소하기 때문이다. 반면에, RASE 기법은 세 기법 중 가장 나쁜 성능을 보이며, 이는 RASE 기법은 낮은 SNR에서는 잡음의 영향으로 인하여 초

기의 시드 추정에서 실패하여 코드 칩 추정 자체에 실패하는 경우가 발생할 수 있기 때문이다. 하지만 세 기법 모두 높은 SNR에서는 높은 올바른 칩 추정 확률을 보이며, 특히 약 7dB부터는 세 기법 모두의 올바른 칩 추정 확률이 1로 수렴하는 것을 볼 수 있다.

그림 7은 SNR에 따른 MAT 성능을 보인다. 그림 6의 경향과 같이 MAT 역시 SASE 기법이 관심 SNR 범위에서 가장 좋은 성능을 보이며, 다음으로 RSSE, RASE 기법 순의 성능을 가진다. 하지만, SNR이 증가함에 따라 세 종류의 기법 모두 유사하게 우수한 성능을 보임을 확인할 수 있다. 이로부터 RASE 기법은 SNR이 크게 작지만 않으면 MAT를 크게 줄일 수 있으나, 낮은 SNR에서는 코드 칩 추정이 올바르게 이루어지지 않을 수 있기에, MAT가 증가함으로 해석할 수 있다.

### V. 결 론

본 논문에서는 대표적인 순차 추정 기법들인 RASE, SASE, RSSE의 올바른 칩 추정 확률 및 MAT 성능을 비교, 분석하였다. 모의실험 결과, MAT 및 올바른 칩 추정 확률 성능은 SASE, RSSE, RASE 순으로 좋았으며, SNR이 증가함에 따라, 세 기법의 MAT 및 올바른 칩 추정 확률 성능은 점차적으로 수렴하는 경향을 보였다. 특히, SASE 기법의 경우 코드 칩 누적으로 인하여 잡음의 영향을 줄일 수 있기에 가장 좋은 MAT 및 올바른 칩 추정 확률 성능을 보였으나, RASE 기법의 경우, 낮은 SNR에서는 잡음의 영향으로 인해 초기의 시드 추정에 실패할 수 있어, 가장 나쁜 MAT 및 올바른 칩 추정 확률 성능을 보였다. 하지만, 세 기법 모두 높은 SNR에서는 뛰어난 성능을 보임을 확인할 수 있었다.

### References

[1] A. W. Lam and S. Tantaratana, *Theory and Applications of Spread-Spectrum Systems: A Self-Study Course*, Piscataway, NJ: IEEE, 1994.

[2] Y. Lee and S. Tantaratana, "Sequential acquisition of PN sequences for DS/SS communications: Design and performance," *IEEE J. Selected Areas in Commun.*, vol. 10, no. 4, pp. 750-759, May 1992.

[3] B. W. Parkinson and S. W. Gilbert,

"NAVSTAR: Global positioning system-ten years later," in *Proc. IEEE*, vol. 71, pp. 1177-1186, Oct. 1983.

[4] A. Polydoros and C. L. Weber, "A unified approach to serial search spread-spectrum code acquisition-part I: General theory," *IEEE Trans. Commun.*, vol. 32, pp. 542-549, May 1984.

[5] L. B. Mistein, J. Gevorgiz, and P. K. Das, "Rapid acquisition for direct sequence spread-spectrum communications using parallel SAW convolvers," *IEEE Trans. Commun.*, vol. 33, no. 7, pp. 593-600, Jul. 1985.

[6] R. B. Ward, "Acquisition of pseudonoise signals by sequential estimation," *IEEE Trans. Commun.*, vol. 13, no. 4, pp. 474-483, Dec. 1965.

[7] S. Yoon, I. Song, and S. Y. Kim, "Seed accumulating sequential estimation for PN sequence acquisition at low signal-to-noise ratio," *J. Signal Process.*, vol. 82, no. 11, pp. 1795-1799, Nov. 2002.

[8] L. Yang and L. Hanzo, "Acquisition of m-sequence using recursive soft sequential estimation," *IEEE Trans. Commun.*, vol. 52, no. 2, pp. 199-204, Feb. 2004.

[9] D. Chong, B. Lee, S. Kim, Y. B. Joung, I. Song, and S. Yoon, "Phase-shift-network-based differential sequential estimation for code acquisition in CDMA systems," *J. KICS*, vol. 32, no. 3, pp. 281-289, Mar. 2007.

### 이 성 로 (Seong Ro Lee)



1987년 2월 : 고려대학교 전자공학과 공학사  
 1990년 2월 : 한국과학기술원 전기 및 전자공학과 공학석사  
 1996년 8월 : 한국과학기술원 전기 및 전자공학과 공학박사  
 1997년 9월~현재 : 목포대학교 공과대학 정보전자공학과 교수

<관심분야> 디지털통신시스템, 이동 및 위성통신시스템, USN/텔레메트릭스응용분야, 임베디드시스템

채 근 홍 (Keunhong Chae)



2014년 2월: 성균관대학교 전자전기공학부 공학사  
2014년 3월~현재: 성균관대학교 정보통신대학 전자전기컴퓨터 공학과 석박통합과정  
<관심분야> 통신이론, 무선통신, 추정 및 검파

정 민 아 (Min-A Jeong)



1994년 2월 전남대학교 전산통계학과 석사  
2002년 2월 전남대학교 전산통계학과 박사  
2005년 3월~현재 목포대학교 컴퓨터공학과 부교수  
<관심분야> 데이터베이스/데이터마이닝, 생체인식시스템, 무선통신응용분야 (RFID, USN, 텔레매틱스), 임베디드시스템

윤 석 호 (Seokho Yoon)



1997년 2월: 한국과학기술원 전자전산학과 공학사 (최우등)  
1999년 2월: 한국과학기술원 전자전산학과 공학석사  
2002년 2월: 한국과학기술원 전자전산학과 공학박사  
2002년 3월~2002년 6월: MIT 박사후 연구원

2002년 7월~2003년 2월: Harvard University 박사후 연구원

2003년 3월~현재: 성균관대학교 정보통신대학 전자전기공학부 전임강사, 조교수, 부교수

2007년: IEEE 준석학회 회원

2009년: 한국통신학회 LG 학술상 수상

2011년: 교육과학기술부 우수연구 인증패 수상

2012년: 한국통신학회 우수논문상 수상

<관심분야> 통신이론, 이동통신, 통계학적 신호처리