

# 위성통신 중계기에서의 FPGA를 이용한 Gigabit 시리얼 송수신기 설계

홍근표<sup>\*°</sup>, 이정섭<sup>\*</sup>, 진병일<sup>\*</sup>, 고현석<sup>\*\*</sup>, 서학금<sup>\*\*</sup>

## A Gigabit Serial Transceiver Design Using FPGA for Satellite Communication Transponder

Keun-Pyo Hong<sup>\*°</sup>, Jung-Sub Lee<sup>\*</sup>, Byoung-Il Jin<sup>\*</sup>, Hyun-Suk Ko<sup>\*\*</sup>, Hak-Geum Seo<sup>\*\*</sup>

### 요 약

본 논문에서는 위성통신 디지털 중계기에서 backplane 구조 기반의 Gigabit 시리얼(Serial) 송수신기(Transceiver)에 대해 기술하였다. 송수신기는 프로그래밍 가능한 Xilinx space-grade Virtex-5 FPGA를 이용하여 다수의 광대역 채널에 대해 모든 경우의 스위칭 기능을 지원한다. 이러한 기능을 구현하기 위해 Virtex-5 FPGA 내부에 탑재된 GTX transceiver(고속 시리얼 송수신)을 사용한다. FPGA를 사용함으로써 부품이 추가되지 않아 구현이 간단해지는 장점이 있다. 고속의 시리얼 송수신기를 구현하기 위해서 PCB 디자인에 대해 신호 무결성(Signal Integrity) 시뮬레이션을 필수적으로 수행하였다. 신호 무결성 시뮬레이션을 통해 GTX 전송 선로에 대한 S-parameter, Eye diagram, 채널 지터(Channel Jitter) 성능을 분석하였고, GTX transceiver가 오류 없이 동작할 것으로 확인하였다. 마지막으로 제한한 PCB 디자인은 위성통신 디지털 중계기 시험인증모델(Engineering Qualification Model-2) 제작에 활용될 것이다.

**Key Words** : Satellite Communication Transponder, Serial Transceiver, FPGA, Signal Integrity, Backplane

### ABSTRACT

In this paper, we have proposed gigabit serial transceiver based on backplane architecture at the satellite communication digital transponder. The transponder supports the full combinational switching function with broadband multi-channel using programmable device - Xilinx space-grade Virtex-5 FPGA. In order to implement the switching function, GTX transceiver solution inside Virtex-5 FPGA is used. Also hardware implementation is simple because of no additional component. In order to use a GTX transceiver, signal integrity(SI) simulation of PCB design is essential. We investigate the characteristics of the S-parameter, eye diagram, channel jitter of GTX transmission line and conform that GTX Transceiver operates without error. Finally the proposed PCB design will be utilized at satellite communication digital transponder EQM-2(Engineering Qualification Model-2).

※ 본 연구는 방위사업청 및 국방과학연구소의 디지털중계기 핵심기술사업의 연구결과로 수행되었습니다.

◆° First Author and Corresponding Author : SAMSUNG THALES Co., Ltd., keunpyo.hong@samsung.com, 정회원

\* SAMSUNG THALES Co., Ltd., js08.lee@samsung.com, byoungil.jin@samsung.com, 정회원

\*\* Agency for Defense Development, khsleo@add.re.kr, hkseo@add.re.kr, 정회원

논문번호 : KICS2014-04-144, Received April 29, 2014; Revised June 16, 2014; Accepted July 14, 2014

## I. 서 론

과거에는 우주환경의 제약으로 아날로그 형태의 저용량 및 유연성이 낮은 위성통신 중계기가 운용되고 있으나, 디지털 IC 소자의 눈부신 발전에 따라 최근 미국, 프랑스 등 선진국에서는 수십에서 수백 MHz 대역폭을 가지는 멀티 채널에 대해 고속의 디지털 신호를 처리하는 디지털 중계기를 이미 개발, 운용하고 있다. 아날로그 중계기의 경우 부채널간 스위칭은 불가하며, 채널간 스위칭을 하기 위해서는 모든 경로의 스위치를 설치하여 신호를 선택해야 하기 때문에 무게 및 크기에 제약을 크게 받는다. 그러나 이러한 기능을 디지털 중계기로 구현할 경우, 하드웨어 리소스가 획기적으로 감소되고 채널내의 부채널 단위까지 스위칭 및 이득 조정 기능이 가능하기 때문에 대용량 위성 중계기의 효율성이 극대화 될 수 있다.<sup>[1,2]</sup>

이러한 기능을 구현하기 위해서는 먼저 채널 데이터를 주고 받을 수 있어야 한다. 채널 수가 많을수록 여러장의 모듈이 장착되어 채널 데이터를 주고 받을 수 있도록 하는 Backplane 구조가 필요하다. 모듈간 채널 데이터를 케이블로 연결하는 것보다 Backplane 구조에서 연결하는 것이 신호감쇄 및 간섭에 대한 영향이 크며, 커넥터 선정에도 영향을 미친다. 그러므로 하드웨어 리소스 및 소모전력 그리고 구현 가능성을 고려한 대용량의 채널 데이터를 송수신하기 가장 좋은 방법은 Gigabit 시리얼(Serial) 전송 방식이며 모든 채널간 Point-to-Point 연결하는 것이다. 모든 전송경로가 독립적으로 운용되어 간섭영향을 최소화 할 수 있으며, 하드웨어 구성이 간소화 되는 장점이 있다.

대용량의 디지털 중계기를 보다 쉽게 구현할 수 있도록 고속, 대용량의 Space-Grade 부품들이 개발되었다. 500 MHz ~ 1 GHz급 ADC, DAC 부품들이 속속 등장했으며, 특히 대용량의 Space-Grade FPGA가 출시되었다.<sup>[3]</sup> Xilinx 사의 Virtex-5QV FX130 FPGA는 기존 Virtex-4 제품보다 우주방사능에 대한 성능이 현저히 좋아져서 정지궤도급 통신위성 중계기에 사용할 수 있다. 또한 Virtex-5QV FX130 FPGA 내부에 있는 GTX transceiver를 사용하여 최대 4.25 Gb/s 전송속도를 가지는 시리얼 통신을 가능케 한다. 자체적으로 클럭 리커버리(Clock Recovery), 등화기(Equalizer) 및 스큐(Skew)를 보상하는 기능이 있어 Gigabit transceiver에 적합하며, Hard CORE-IP이기 때문에 소모전력도 낮은 장점이 있다.<sup>[4]</sup> 또한 FPGA 내부 기능을 사용하기 때문에 추가 부품이 없어 하드웨어 인터페이스가 간단해지는 장점이 있다.

본 논문에서는 위성통신 디지털 중계기의 효율성을 증대하기 위해 멀티 채널간 데이터를 주고 받을 수 있는 Gigabit 시리얼 송수신기의 성능 시뮬레이션 분석에 대해 기술하였다. Backplane 구조에서 FPGA 내부에 있는 GTX transceiver를 오류 없이 사용할 수 있도록 Gigabit 전송 선로에 대해 신호 무결성 시뮬레이션을 수행하였다. 이를 통해 S-parameter, Eye Diagram, 채널 지터(Channel Jitter) 특성을 분석하였다. 마지막으로 위성통신 디지털 중계기 시험인증모델(Engineering Qualification Model) 2차 시제 제작에 사용될 PCB 디자인을 제안하였다.<sup>[5]</sup>

## II. 본 론

### 2.1 시스템 구성

위성통신 디지털 중계기에서 채널단위의 신호 흐름은 그림 1과 같으며 멀티 채널에 대한 블록도이다. 안테나(RX/TX), 다운 컨버터(RF downconverter), 디지털 채널처리부(Digital Channel Amplifier), 업 컨버터(RF converter)로 이루어진다. 멀티채널을 처리하기 위한 디지털 채널처리부(DCAMP)는 그림 2와 같이 다수의 디지털 채널 처리기(Digital Channel Processor), 중간 주파수 업/다운 컨버터(IF up/down-converter)와 1개의 모체반(BackPlane Unit), 전원반 및 제어반으로 구성되며 1개의 디지털 채널 처리기(DCP)가 2개의 채널을 처리한다.

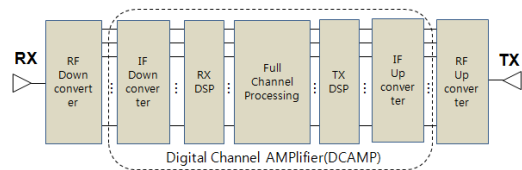


그림 1. 위성통신 디지털중계기 구조  
Fig. 1. The Structure of Digital transponder of Satellite communication

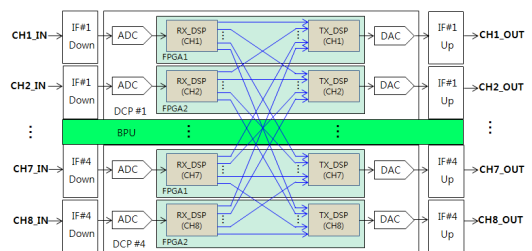


그림 2. 디지털 채널처리부(DCAMP) 구조  
Fig. 2. Digital Channel Amplifier(DCAMP) block diagram

1개의 채널은 대표적인 부품인 ADC, FPGA, DAC, DC/DC converter, PLL로 구성되며, ADC에서 디지털 데이터로 변환한 후 FPGA에서 RX\_DSP, TX\_DSP, Full Channel Processing 등의 채널 처리 알고리즘을 통과한 후 DAC에서 최종 아날로그 신호로 변환하는 기능을 가진다. RX\_DSP는 기저대역으로 주파수 변환 후 수십 MHz 대역폭의 채널을 수 KHz 대역폭의 다수 부채널로 필터링한다. TX\_DSP는 모든 채널의 모든 부채널 데이터를 받아 스위칭 및 이득 조정 후 다수의 부채널을 하나의 채널로 조합한 후 IF 대역으로 주파수 변환한다. 모체반을 통한 모든 채널에 대해 스위칭을 지원하기 위하여, RX\_DSP와 TX\_DSP는 모든 경로에 대해 Gigabit 시리얼 전송 및 수신 기능을 가진다.

일반적인 광대역 채널의 경우 수십 MHz의 대역폭을 가지며 나이퀴스트 샘플링 이론을 고려하여 기저대역에서의 채널 데이터는 다음과 같이 정의될 수 있다.

- Data Width : 16 bits
- Complex Data : Real(I) and Imaginary(Q)
- Sampling rate : 100 MHz

모든 채널의 데이터를 TX\_DSP로 Gigabit 시리얼 전송하기 위해서 Xilinx FPGA 내부 GTX transceiver를 사용한다. 실수부(I) 및 허수부(Q) 데이터를 각각 시리얼로 변환한 전송 속도는 오류 정정 부호(8B/10B)를 포함하여 2Gbs 가 된다. 즉, 100 MHz의 32 bits 데이터 라인이 2 GHz의 2개 디퍼런셜 신호 라인만 필요하여 하드웨어 리소스를 효율적으로 사용할 수 있으며 하드웨어 구현이 간단해지는 장점이 있다. 하드웨어 구성은 그림 3과 같이 8개 채널을 처리할 경우 4개의 DCP 보드가 BPU에 장착된다. 각각의 FPGA는 모든 채널의 입력 데이터를 공유할 수 있도록

모든 채널간 GTX transceiver를 사용하여 데이터를 주고 받는다.

## 2.2 신호 무결성(SI) 시뮬레이션

GTX transceiver는 일반적으로 케이블을 이용하여 연결하는 것이 전송간 신호 손실을 줄이는 가장 좋은 방법이지만, 위성 중계기에서는 환경조건 및 사용 가능한 커넥터 한계로 인해 PCB와 커넥터로만 이루어진 Backplane 구조에서 신호 손실을 가장 적게 설계하는 것이 관건이다. 이를 위해서는 신호 무결성(SI) 시뮬레이션을 통해 PCB 디자인 및 커넥터를 포함한 최적의 설계 방안을 마련하고 성능을 보장 받을 수 있는 검증단계가 필요하다.<sup>[6]</sup> SI 시뮬레이션은 전송 속도, 전송 길이, PCB 특성, FPGA 특성, 커넥터 특성 등을 고려하여 PCB 설계 방안을 도출하였다.

### 2.2.1 SI 시뮬레이션 파라미터

고속 시리얼 통신을 위한 시뮬레이션을 수행하기 위해서는 전송단과 수신단 사이에서 영향을 줄 수 있는 파라미터를 모두 반영해야 한다. FPGA가 가지고 있는 자체의 지터(Jitter), PCB의 손실, 그리고 커넥터의 손실이다. 이러한 손실들은 크게 두가지 측면에서 살펴볼 수 있는데, 시간 도메인에서는 TDR(Time Domain Reflectometry), 주파수 도메인에서는 S-parameter 이다. TDR은 전송 선로의 특성 임피던스를 시간축 또는 거리축으로 분석하여, 기준 값인 100 Ohm에서 얼마나 벗어나는지 확인할 수 있는 직관적인 분석법이다. S-parameter 는 해당 주파수대역에서 신호의 감쇄 및 왜곡이 얼마나 되는지 알 수 있는 대표적인 척도가 된다.

PCB 전송 선로 간 상호간섭(Crosstalk)은 (+) 와 (-) 전송 선로간 이격 거리의 3배 이상 멀리 이격하고, 전송 선로 레이어 바로 위, 아래에 그라운드 레이어를 할당하여 영향성을 최소화한다. PCB 내층에 판(Plane) 형태의 전원 레이어를 할당하고 전원 레이어 바로 위, 아래쪽에 그라운드 레이어를 할당하여 전원 잡음이 전송 선로 레이어에 미칠 영향성을 최소화한다. 또한 FPGA 내부에 집적되어 있는 PLL을 사용하여 클럭의 성능을 보장받을 수 있기 때문에 클럭에 의한 영향성을 최소한으로 줄일 수 있다. 그러므로 본 논문에서는 PCB 전송 선로 간 상호간섭(Crosstalk), 전원(Power) 잡음, 클럭에 대한 영향성은 무시하고 시뮬레이션을 수행하였다.

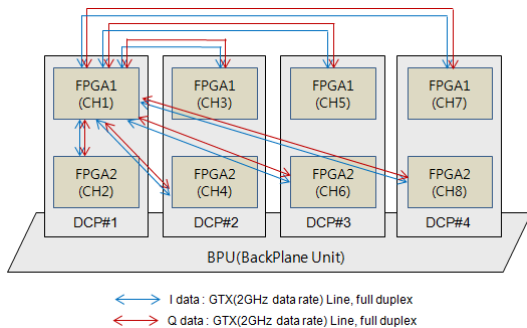


그림 3. 채널간 데이터 송수신 방안  
Fig. 3. Channel-to-channel data transmission scheme

(1) PCB

PCB 선정에 있어 가장 중요한 파라미터는 열 내구성, 유전상수(Dielectric Constant, Dk)와 손실계수(Dissipation factor, Df)이다. 일반적인 PCB는 재질은 FR4로써 유전상수는 3.66이고, 손실계수는 0.0127이다. 유전상수는 적층구조에 따른 트레이스 라인의 임피던스 매칭에 필요한 파라미터이며, 손실계수는 길이에 따른 트레이스 라인의 손실에 직접적으로 연관된 요소이다. 특히 우주환경에서 사용하려면 열에 강해야 하는 특성이 있으므로 Polyimide 계열을 선호한다. 그러므로 손실계수가 적고 우주환경에서 다수 사용된 경험이 있는 PCB를 선정하고 손실계수를 SI 시뮬레이션에 반영해야한다. 선정된 PCB는 ALRON사의 85N으로, 고속 신호처리 PCB에 적합한 성능을 가지고 있다. 유전상수는 4.2이고, 손실계수는 0.01이다. 실제 사용할 속도는 2 Gb/s 이나 구현마진 및 FPGA 파라미터를 적용하기 위해 2.5 Gb/s 로 설정하여 시뮬레이션을 수행하였다.

(2) FPGA GTX

XILINX Virtex-5 GTX transceiver의 파라미터는 TX 지터와, RX 허용 지터로 나누어지며, TX 지터는 확정적 지터(Deterministic Jitter)와 임의적 지터(Random Jitter)가 있다. 이것은 FPGA 실리콘 디바이스가 제조될 때 내부적으로 가지게 되는 지터로써 테스트를 통해 값을 얻게 된다. 2.5 Gb/s의 전송 속도, 250 MHz 기준 클럭 조건에서 SI 시뮬레이션에서 사용한 TX의 확정적 지터(Dj)는 0.076 UI(Unit Interval)이며, 임의적 지터(Rj)는 0.163 UI이며 RX 허용 지터는 0.548 UI이다.<sup>[7]</sup> 즉 0.548 UI 이하의 채널 지터가 발생된다면 GTX transceiver 는 정상적으로 신호를 받을 수 있음을 의미한다. 그러므로, 시뮬레이션을 통해 분석된 채널의 총 지터가 0.548 UI (= 219.2 ps) 이내가 되도록 PCB 디자인을 설계해야 한다. 여기서 1 UI는 2.5 Gb/s의 전송속도에서 하나의 심볼이 가지는 단위 간격을 의미하며 400 ps 으로 환산된다.

(3) 커넥터

최대 12 Gb/s 까지 전송이 가능한 디퍼런셜 전용 커넥터로 Z-PACK HM-Zd 커넥터가 있지만 이러한 부품은 이상장비 또는 상용장비에 적용가능하다. 사용 가능한 Space-grade 커넥터로 HYPERTAC 2mm 커넥터는 고속 신호에 적합하며 100핀 이상의 수를 사용할 수 있다. 또한 우주에서 사용할 수 있도록

NASA에서 많은 프로젝트를 통해 인증이 되었으며 다수의 CPU 및 디지털 모듈에 사용된 사례가 많다. 최대 데이터 속도는 3.125 Gb/s, 스퀴는 22 ps이다. 디퍼런셜 S-parameter는 제조사에서 S4P 파일로 제공하며 SI 시뮬레이션에 반영하였다. 또한 디퍼런셜 전용 커넥터가 아니기 때문에 핀간 상호 간섭을 최대한 막기 위해 디퍼런셜 신호 주변에 그라운드를 할당하였다.

2.2.2 개별 항목별 SI 시뮬레이션

시스템 구성에서 언급한대로 GTX 전송 선로의 전체 경로는 그림 4와 같이 DCP 1번 보드(TX), BPU, DCP 4번 보드(RX)로 구성된다. DCP는 BGA launch Via, Transition Via, 2mm 커넥터 Via로 이루어진다. BPU는 2mm 커넥터 Via, Transition Via, 2mm 커넥터 Via로 이루어진다. 각각의 Via에 대해 PCB 디자인을 정하고, 이에 대한 TDR, S-parameter 성능을 분석하였다. DCP에서 FPGA와 2mm 커넥터까지의 최대 길이는 170 mm이며, BPU에서 2mm 커넥터 간 최대 길이는 350 mm이다. 그러므로 가장 긴 전체 전송 선로는 약 690 mm가 되며, 이 전송 선로에 대해 TDR, S-parameter 성능 시뮬레이션을 수행하여 GTX transceiver에서 정상적으로 신호를 받을 수 있는지 분석하였다.

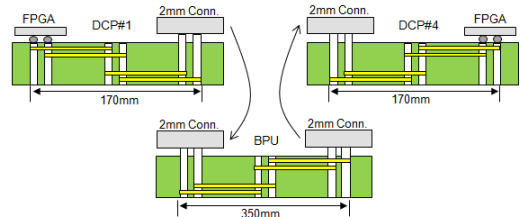


그림 4. DCP와 BPU의 PCB 구조  
Fig. 4. DCP and BPU PCB structure

(1) BGA launch Via 시뮬레이션

BGA Pad size는 Xilinx에서 권장하는 디자인 룰대로 설계하며, BGA launch Via의 디자인은 그림 5에서 나타내었으며, R\_ANTIPAD, W\_BRIDGE,

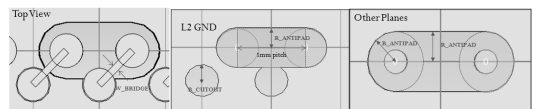


그림 5. BGA launch 비아의 PCB 설계  
Fig. 5. BGA launch Via PCB design

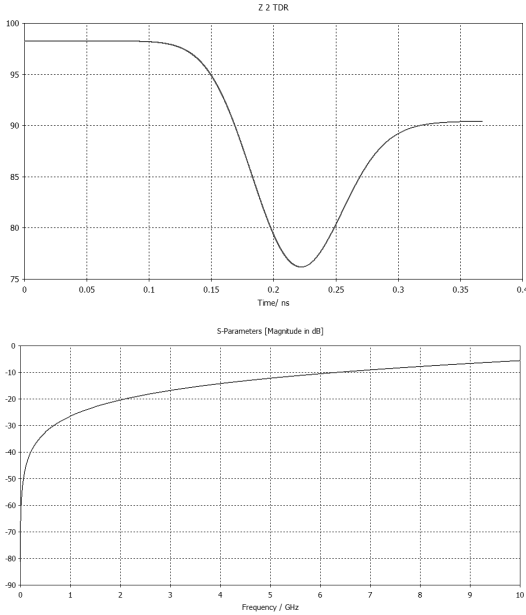


그림 6. BGA launch 비아의 TDR 및 반사손실  
Fig. 6. TDR and Return loss of BGA launch Via

R\_CUTOOUT는 각 0.42 mm, 0.18 mm, 0.55 mm이다. 또한 BGA launch Via의 TDR 및 S-parameter 성능은 그림 6과 같다. TDR의 경우 Via 통과 전, 후의 임피던스가 100 Ohm에 가까우며 반사손실은 1.25 GHz 주파수에서 -20 dB이하로, BGA launch Via를 통과할 때 손실이 거의 없도록 PCB를 설계하였음을 알 수 있다.

(2) Transition Via 시뮬레이션

Transition Via 디자인은 그림 7과 같다. R\_DIFF\_ANTIPAD, Space Signal Vias, Distance\_signal\_gnd는 각각 0.50 mm, 1 mm, 1 mm 이며, Diff\_GND\_Angle의 범위는 0 ~ 40도이며 최적은 0도이다. Transition Via의 TDR 및 S-parameter 성능은 그림 8에서 나타내었다. TDR 성능은 전 구간에서

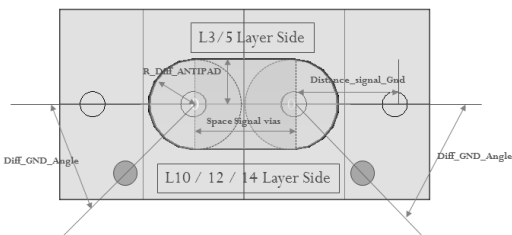


그림 7. Transition 비아의 PCB 설계  
Fig. 7. Transition Via PCB design

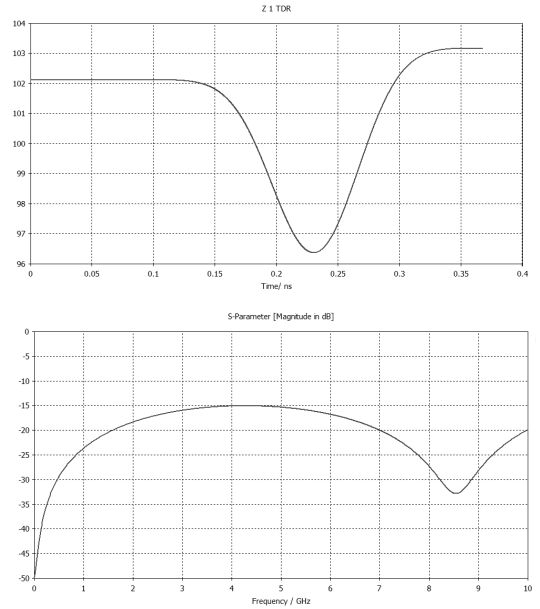


그림 8. Transition 비아의 TDR 및 반사손실  
Fig. 8. TDR and Return loss of Transition Via

매우 우수하며, 반사손실은 전 주파수 대역에서 -15 dB 이하로 Transition Via를 통과할 때의 성능 열화는 거의 없을 것으로 분석되었다.

2.2.3 전체 경로 SI 시뮬레이션

개별 항목별 SI 시뮬레이션에서 제안한 PCB 디자인, S-parameter 결과 그리고 2mm 커넥터의 S-parameter 를 반영하여 DCP 보드와 BPU 보드의 PCB를 설계하였다. 그림 9는 가장 긴 175 mm 길이의 GTX 전송 선로 구간(FPGA BGA 부터 2mm 커넥터까지)의 DCP PCB 디자인이다. 또한 그림 10은 가장 긴 324 mm 길이의 GTX 전송 선로 구간(DCP 1번 보드 2mm 커넥터부터 DCP 5번 보드 2mm 커넥터까지)의 BPU PCB 디자인이다.

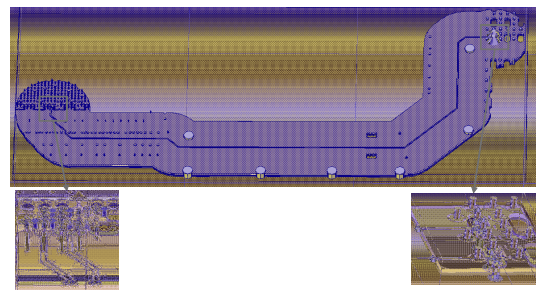


그림 9. DCP의 최대 거리 GTX 전송 선로  
Fig. 9. Max. length GTX transmission line of DCP



TX쪽 DCP의 GTX 전송 선로와 모체반 GTX 전송 선로 그리고 RX쪽 DCP의 GTX 전송 선로를 모두 연결하면 총 길이는 674 mm가 되며, 이에 대한 전체 S-Parameter 성능은 아래 그림 11에 나타내었다. 1.25 GHz 주파수에서 전체 전송 선로에 대한 삽입손실은 -7 dB, 반사손실은 -15 dB 로 분석되었으며, GTX Transceiver 등화기(Equalizer)로 보상할 수 있는 정도의 성능이다. 그리고 전체 전송 선로에서 발생하는 지터는 시간 도메인에서 확인해야 하기 때문에 S-parameter를 EYE diagram으로 변환하였다. 이에 대한 결과는 그림 12와 같으며, 전체 전송선로의 지터 성능은 약 92.3 ps(= 0.232 UI)로 분석되었다. 송신단 GTX transceiver의 확정적 지터, 임의적 지터 그리고 전체 전송 선로의 지터를 모두 합하면 수신단 GTX transceiver에서의 지터가 된다. 이 값은 0.471 UI가

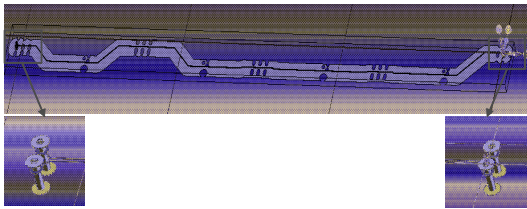


그림 10. BPU의 최대 거리 GTX 전송 선로  
Fig. 10. Max. length GTX transmission line of BPU

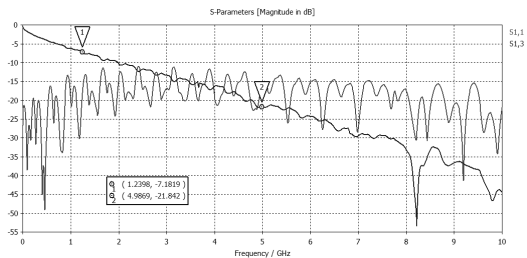


그림 11. 전체 GTX 전송 선로에 대한 S-parameter 성능  
Fig. 11. S-parameter result of total GTX transmission line

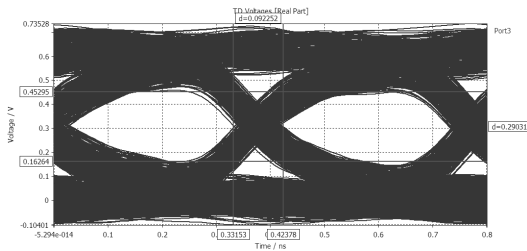


그림 12. 전체 GTX 전송 선로에 대한 EYE diagram 성능  
Fig. 12. EYE diagram result of total GTX transmission line

되고 GTX transceiver의 최대 허용 지터 0.548 UI 이 하이므로 Gigabit 시리얼 송수신기는 오류 없이 동작 될 것으로 분석되었다. 또한 시뮬레이션에서 사용된 전체길이 674 mm는 DCP 보드 5장에 해당하는 것으로 실제 제작될 형상보다 충분한 마진이 포함되어 있다.

### III. 결 론

본 논문에서는 위성통신 디지털 중계기의 일반적인 구조를 설명하고, backplane 구조 기반의 디지털 채널 처리부(DCAMP)에서 채널 간 스위칭 기능을 위한 Gigabit 시리얼 송수신기에 대한 성능 시뮬레이션 결과를 분석하였다. 광대역 채널간 스위칭 기능을 지원 하기 위해 디지털 채널 데이터를 주고 받을 수 있도록 FPGA 내부에 탑재된 GTX transceiver를 사용하였다. 또한 신호 무결성 시뮬레이션을 수행하여 GTX 전송 선로에 대한 TDR, S-parameter, 채널 지터 성능을 분석하였다. 시뮬레이션에서는 전송 속도, 전송 길이, PCB 특성, FPGA 특성, 커넥터 특성 등을 고려하여 DCP 및 BPU 각 부분별로 PCB 디자인에 대한 성능을 분석하였으며, 최종적으로 전체 GTX 전송 선로에 대해 성능을 분석하였다. 이를 통해 충분한 마진을 가지고 설계된 Gigabit 시리얼 송수신기가 정상적으로 동작할 것으로 예상되었다. 마지막으로 신호 무결성 시뮬레이션 결과로 제안된 GTX 전송 선로의 PCB 디자인은 위성통신 디지털중계기 시험인증모델 (Engineering Qualification Model) 2차 시제 제작에 활용될 것이다.

### References

- [1] B. I. Jin and J. H. Kim, "A study on the algorithm for the channelizing of the active satellite transponder," in *Proc. KICS Conf.*, pp. 1556-1557, Jeju Island, Korea, Jun. 2010.
- [2] D. H. Lee and K. S. Kim, "Performance comparison of channelization schemes for flexible satellite transponder with digital filter banks," *J. Korea Inst. Military Sci. Technol. (KIMST)*, vol. 13, no. 3, pp. 405-412, Jun. 2010.
- [3] Xilinx, *Radiation-Hardened Space-Grade Virtex-5QV Family Overview(2012)*, Retrieved Jan. 17, 2013, from <http://www.xilinx.com>

- [4] Xilinx, Virtex-5 FPGA RocketIO GTX Transceiver User Guide(2009), Retrieved Feb., 10, 2013, from <http://www.xilinx.com>
- [5] Y. J. Song, J. H. Kim, S. H. Lee, H. G. Seo, G. H. Shin, and B. C. Jin, "System level space environment testing of satellite digital transponder," *J. KICS*, vol. 38C, no. 12, pp. 1159-1169, Dec. 2013.
- [6] A. Technologies, A Design of Experiments for Gigabit Serial Backplane Channels(2009), Retrieved Feb. 10, 2013, from <http://www.agilent.com>
- [7] Xilinx, Virtex-5 FPGA RocketIO GTX Transceiver Characterization Report(2008), Retrieved Feb. 10, 2013, from <http://www.xilinx.com>

**진 병 일** (Byoung-Il Jin)



2001년 2월 : 충북대학교 전자공학과 졸업  
 2003년 2월 : 충북대학교 전자공학과 석사 졸업  
 2002년 11월~현재 : 삼성탈레스 <관심분야> 신호처리, 위성통신, 통신시스템

**고 현 석** (Hyun-Suk Ko)



1998년 2월 : 고려대학교 전기공학과 졸업  
 2000년 2월 : 고려대학교 전기공학과 석사 졸업  
 2000년 3월~현재 : 국방과학연구소 <관심분야> 위성통신

**홍 근 표** (Keun-Pyo Hong)



2004년 2월 : 중앙대학교 전기전자제어공학부 졸업  
 2006년 8월 : 중앙대학교 전기전자제어공학부 석사 졸업  
 2006년 9월~2008년 8월 : 한국전자통신연구원  
 2008년 9월~현재 : 삼성탈레스

<관심분야> 전자공학, 통신시스템, 신호처리

**서 학 금** (Hak-Geum Seo)



1989년 2월 : 강원대학교 전기공학과 졸업  
 1992년 2월 : 강원대학교 전기공학과 석사 졸업  
 1989년~현재 : 국방과학연구소 <관심분야> 신호처리, 위성통신, 이동통신

**이 정 섭** (Jung-Sub Lee)



2008년 2월 : 아주대학교 전자공학과 졸업  
 2007년 12월~현재 : 삼성탈레스 <관심분야> 디지털 신호처리, 통신 신호처리, 통신시스템