

LTE 기반 Macro 기지국 Platform 구조 연구

정 찬 북*, 배 현 덕^o

LTE-Based Macro Base Station Platform Architecture

Chan-bok Jeong*, Hyeon-deok Bae^o

요 약

본 논문은 long term evolution (LTE) 기반 macro 기지국 platform 구조 연구에 관한 것으로, codeword별 기저 대역 신호 (baseband signal)와 중간 주파수 (intermediate frequency; IF)에 대한 인터페이스 구조를 제안한다. 제안한 구조를 이용하여 massive multiple input multiple output (MIMO) 기술과 같이, 많은 수의 안테나를 사용하는 기지국에 있어서, 안테나수와 상관없이 대용량의 데이터를 원활히 송수신 할 수 있다. 본 논문에서는 LTE 표준 기술 발전 및 그에 따른 시스템의 개발 동향을 분석하고, 종래의 일반적인 구조와 본 논문에서 제안하는 구조에 대하여 비교하여, 데이터 인터페이스 전송량 측면에서 제안 구조가 훨씬 더 좋은 구조임을 확인하였다. 이러한 구조를 제시함으로써 massive MIMO, carrier aggregation (CA), coordinated multi point (CoMP) 기술과 같이 발전하고 있는 LTE 기반 기지국의 플랫폼 (platform) 설계 및 구현에 대하여 새로운 기반을 제공하고자 한다.

Key Words : LTE, MIMO, Carrier Aggregation, CoMP, Architecture

ABSTRACT

This paper shows the research of a platform architecture relates to the LTE-based macro basestation; the proposed platform architecture is designed with the interface between the baseband signal and IF (Intermediate Frequency) per codeword. Using this method, we can smoothly transmit/receive a large amounts of data regardless of the number of antenna in a macro base station which is used technology such as massive MIMO. In this paper, We analyzed the evolution of LTE technology and the trend in the development of the LTE-based system. For validation of the proposed architecture, we compare the general architecture of a conventional with the proposed architecture. From the calculation results of transmission quantity data, we see that the proposed architecture can give better performance than the existing architecture. By presenting this architecture, we hope to provide a new foundation for Design and Implementation of a LTE base station platform which is used technology such as massive MIMO, carrier aggregation (CA), coordinated multi point (CoMP).

I. 서 론

지속적으로 발전하고 있는 LTE 기반 시스템은 massive MIMO, 주파수 묶음 (carrier aggregation;

CA) 기술, 기지국 협력 통신 (coordinated multi point; CoMP) 및 셀 간 간섭 방안 연구와 같은 주파수 효율 극대화를 위한 기술과 실내, 밀집 지역 및 망에서의 증가하는 데이터 트래픽에 효율적 서비스 제

* 본 연구는 미래창조과학부 및 정보통신기술진흥센터의 정보통신·방송 연구개발사업의 일환으로 수행하였음.[14-000-04-001, 소형셀 기지국 SW 연구개발 1]

• First Author : ETRI, High-Speed Modem Research Section, nineplus@etri.re.kr, 정희원

^o Corresponding Author : CBNU, School of Electrical Engineering, hdbae@chungbuk.ac.kr, 정희원

논문번호 : KICS2014-05-204, Received May 30, 2014; 2014; Revised August 1, 2014; 2014; Accepted August 20, 2014

공을 위한 소형셀 기술과 단말 간 직접통신 (device to device; D2D) 및 기존 이중 무선 통신 시스템과의 연동을 고려하는 수용 트래픽 분할 기술이 중점적으로 활발히 연구되고 있다¹¹⁻⁸⁾. 이와 같은 제반 기술 제공을 위해서 무엇보다도 중요한 것 중 하나가 구현 플랫폼 (platform) 성능이다. 구현 플랫폼의 성능은 L1/L2/L3 layer를 수행하는 처리 능력 (processing power) 및 core 망 및 무선주파수 (radio frequency; RF)의 인터페이스에 대한 데이터 전송량으로 요약할 수 있고 이를 위한 효율적인 구조가 요구된다. 본 논문에서는 많은 수의 안테나를 이용한 기지국 시스템에 대하여, L1 layer 및 RF 인터페이스 구현에 대한 하드웨어적 설계 방안을 제시한다. 여기서, L1 layer는 개방형 시스템 간 상호 접속 (open systems interconnection; OSI) 7 계층 모형의 물리계층 (physical layer; PHY)으로 모뎀 (modulator-demodulator; MODEM)을 의미한다.

종래의 일반적인 기지국 시스템은 송수신하는 안테나 패스별로 모뎀 (PHY) 및 무선주파수 (RF) 간 인터페이스를 수행하며, 구현에 있어서, field programmable gate array (FPGA) 기반의 경우는 트랜시버(Transceiver)를 고려한 직렬 변환기 (serializer/deserializer; SerDes)를 이용하거나 공공 무선 인터페이스 (common public radio interface; CPRI)를 이용하여 인터페이스를 하는데, 시스템에서 사용하는 안테나의 개수에 따른 인터페이스 용량을 고려하여 하드웨어적 구성을 늘려야 하는 단점이 있고, digital signal processing (DSP) 기반의 경우는 DSP에서 제공 가능한 CPRI 관련 포트 (ports) 제한과 massive MIMO와 같이 안테나 패스별 수행해야 하는 계산량이 많아져 PHY 기능을 수행하는 DSP core에 대하여 상당히 많은 오버로드 (overload)가 요구된다⁹⁻¹⁴⁾.

본 논문에서는 이러한 문제점 해결을 위한 방안으로, 종래의 안테나 패스별 인터페이스 구조에서 codeword별 인터페이스 구조로 변경함으로써 안테나 증가와 상관없이 PHY와 IF 간 대용량 데이터 전송이 가능하도록 하며, DSP와 FPGA 각각의 장점을 반영한 기지국 모뎀 플랫폼 (platform) 구조를 제안하여, 이를 본 연구 결과를 이용하여 증명하고, 개발 시간 단축과 해당 결과의 재사용률 향상 및 개발 비용 절감을 실현하고자 한다.

II. 본 론

LTE 표준 기술 발전 및 그에 따른 시스템 동향을

살펴본 후, 본 논문에서 제안하는 방법을 상세히 기술한다.

2.1 LTE 기반 표준 기술 발전 동향

LTE 시스템은 3GPP (the 3rd generation partnership project)의 Release (Rel)-8 규격에서 3세대 이동통신에 대한 기틀을 확립하고, Rel-9의 표준 규격 향상을 통해서 전 세계적으로 음성위주의 통신 시장을 데이터 및 콘텐츠 산업으로 전환시키며, 모바일 통신에 대한 데이터 전송률 향상을 중심으로 LTE 기반 시스템 발전이 가속화되었다. Rel-10에서 여러 개의 방송과 주파수 대역 (carrier frequency band)을 이용하여 높은 데이터 전송 속도 (high data rate)로 전송하는 주파수 묶음 (carrier aggregation; CA) 기술이 도출되었고, 하향링크 및 상향링크에서 최대 8x8의 enhanced downlink MIMO 기술과 UL MIMO 기술이 각각 제시되며, 3세대 LTE 시스템에서 4세대 LTE-Advanced 시스템에 대한 기틀이 마련되었다¹⁵⁻¹⁷⁾.

또한, 3GPP 표준 기술에 있어서, 최대 전송률 (peak data rate)이 하향링크 3Gbps, 상향링크 1.5Gbps를 전송할 수 있는 Rel-11의 완성으로 LTE-Advanced 시스템의 표준 규격이 마련되었다. 여기에는 Rel-8에 포함되어 있는 효율적 간섭제어 (inter-cell interference coordination; ICIC) 기술에 대한 성능상의 한계를 극복한 방안으로 기지국 협력 통신 (coordinated multi point; CoMP) 기술이 제시되었으며, 이것은 기지국 (eNodeB)간 상호 협조해서 셀 간 간섭을 제거하는 것이다^{7,8)}.

이와 같이, 데이터 전송률 향상으로 인하여 macro 기지국의 네트워크에 대한 통신망 트래픽 (network traffic)이 가중되면서, 네트워크 상의 데이터 오프로딩 (data offloading)을 위한 스몰셀이 새로운 화두로 부상하여 지역 범위 (local coverage) 향상과 용량 (capacity) 증가를 위해 Rel-12에서 표준화가 현재 진행 중이며, 네트워크에 있어서 동일 네트워크 (homogeneous network)에서 이중 네트워크 (heterogeneous network)의 변화에 대한 방안도 포함된다.

2.2 LTE 기반 시스템의 개발 동향

3GPP Rel-8에서 Rel-11까지는 최대 전송률 (peak data rate) 향상에 초점을 두었다고 한다면, 3GPP Rel-12부터는 최대 전송률 (peak data rate) 향상을 포함하여 네트워크에 대한 트래픽 오프로딩 (traffic offloading)이 반영된 효율적인 이중 시스템 운영을

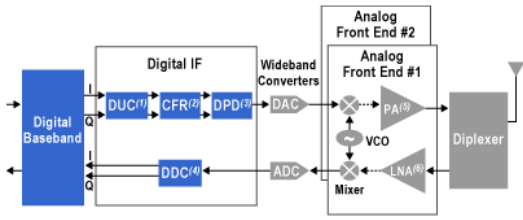


그림 1. 일반적인 3세대 기지국 모델 구조^[13]
 Fig. 1. General structure of a 3G base station modem^[13]

통한 서비스 제공에 대한 지속적인 기술 발전이 이루어지고 있다.

3GPP Rel-8/ Rel-9 규격의 LTE 시스템은 전 세계적으로 3~4년 전부터 시작했는데, 그때까지만 해도 기지국 플랫폼 구현에 사용되는 칩은 FPGA 기반이 주류를 이루었다. 그림 1은 Altera사에서 제공하는 FPGA를 이용한 3세대 모델 구조를 보여주고 있는데, 이러한 구조는 그림 2와 같이 FPGA 기반 일반적인 모델 (physical layer; PHY)과 중간 주파수 (intermediate frequency; IF) 간 인터페이스 구조로 해석할 수 있다. PHY를 제어하는 기능은 의 블록으로 표시한 DSP에서 수행하며, PHY 및 IF 기능은 의 블록으로 표시한 FPGA에서 동작하고, PHY와 IF 간 인터페이스는 서디스(serializer/deserializer; SerDes) 또는 CPRI를 이용하여 구현한다^[13,18].

한편, FPGA 기반의 모델 개발 및 검증은 수행하는 과정에 있어서, 저항 트랜지스터 논리 회로(register transistor logic; RTL) 설계를 통한 모델의 모든 기능 구현 및 검증에 대하여, 매우 많은 시간, 비용 및 인력이 요구되기 때문에 상대적으로 경쟁력 있는 DSP 기반의 모델 개발 방향으로 전환되고 있으며, 최근 들어 TI, Freescale, Broadcom, Intel (Mindspeed가 인텔로 합병됨)과 같은 주요 DSP 칩 제조사의 기술 발달로

인하여 LTE 기반 기지국 시스템 구현을 목표로 한 DSP 칩의 성능 향상이 가속화되고 있다. 이러한 DSP 칩을 이용한 펌토셀 (femtocell) 기지국 시스템은 최근 서비스되고 있고, 주요 DSP 제조사를 포함한 small cell froum에서는 펌토셀 (femtocell) 뿐만 아니라 피코셀 (picocell), 메트로셀 (metrocell) 및 마이크로셀 (microcell)을 고려한 소형셀 기지국 연구를 활발히 진행하고 있다.

본 논문에서는 LTE 기반 기지국 시스템 동향을 파악하고자 세계적으로 널리 사용되고 있는 TI사의 현재 출시하고 있는 DSP 칩에 대하여 표 1과 같이 본 논문과 연관성이 있는 주요 기능을 정리하고, 이러한 DSP를 이용하여 그림 3과 같이 일반화된 구조로 정리하였다. 모델 (physical layer; PHY)을 제어하는 기능과 모델 기능은 의 블록으로 표시한 DSP에서 수행하며, 중간 주파수 (intermediate frequency; IF)는 의 블록으로 표시한 FPGA에서 동작한다. PHY와 IF 간 인터페이스에 대하여 PHY는 DSP에서 제공하는 CPRI 관련 주변 장치 (peripheral)를 이용하고, IF는 FPGA에서 제공하는 CPRI 관련 주변 장치를 이용한다^[19].

2.3 대용량 전송을 위한 제안된 PHY & IF 구조

본 논문은 최대 전송률 (peak data rate)과 신호 대 간섭 및 잡음비 (signal to interference plus noise ratio; SINR) 향상을 위해서 지속적으로 발전하고 있는 LTE 기반 기지국 시스템에 대하여 모델 (physical layer; PHY)과 중간 주파수 (intermediate frequency; IF) 간 구조를 제시하여 massive MIMO 기술과 같은 매우 많은 수의 안테나를 사용한 기지국 시스템 플랫폼 구현에 대하여 효과적인 방안을 제시하고자 한다.

LTE 기반 기지국 시스템 개발 및 구현을 위해서는 FPGA 기반 기지국이던 DSP 기반 기지국이던 상관없

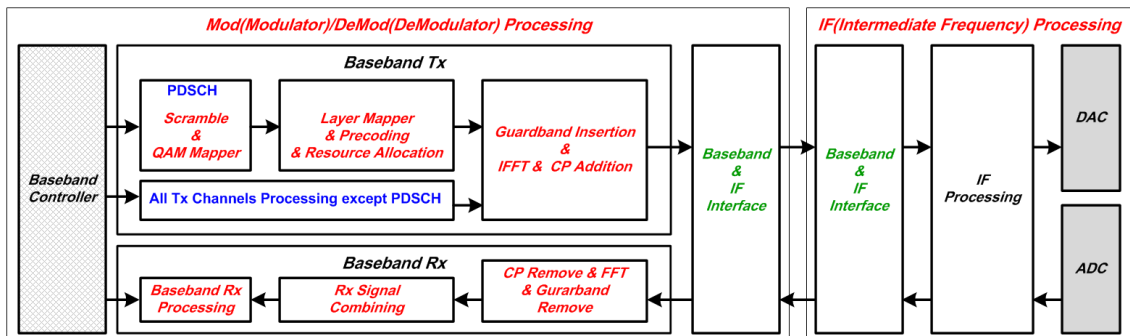


그림 2. FPGA기반 일반적인 PHY와 IF 간 인터페이스 구조^[18]
 Fig. 2. FPGA-based general interface architecture for between the PHY and the IF^[18]

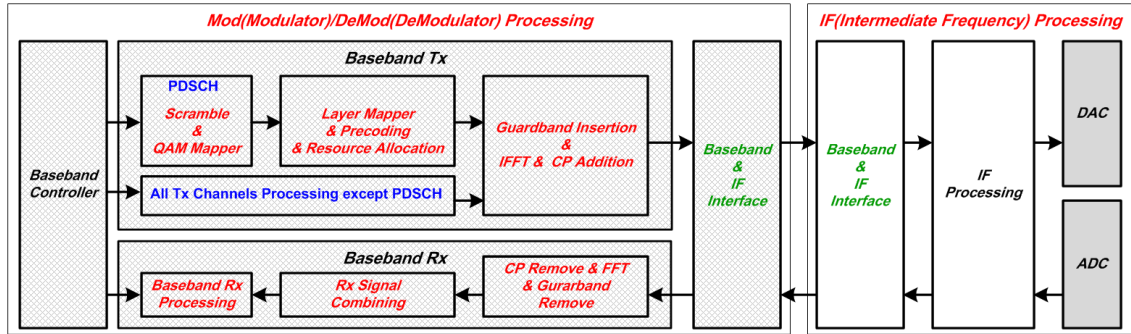


그림 3. DSP기반 일반적인 PHY와 IF 간 인터페이스 구조
 Fig. 3. DSP-based general interface architecture for between the PHY and the IF

표 1. 각 TI DSP Device에 대한 주요 기능^[19]
 Table 1. Main feature of each TI DSP device^[19]

Features	TMS320 TCI6614	TMS320 TCI6616	TMS320 TCI6618	TMS320 C6670	TCI 6630K2L	TCI 6636K2H	TCI 6638K2K
Date of Issue	2013.2	2012.4	2012.4	2012.4	2014.4	2013.10	2013.10
Application by TI	Pico cell				Enterprise	Metro/Micro	
Multicore Architecture	KeyStone				KeyStone II		
DSP Core Subsys.	Number	4			8		
	Clock	1.2 GHz			1.0 GHz or 1.2 GHz		
ARM CorePac	Number	1			2	4	
	Clock	1.2 GHz			1.4 GHz		
	Version	Cortex-A8			Cortex™-A15		
	Memory	256KB L2 32KB L1I 32KB L1D			1MB L2 32KB L1I 32KB L1D	4MB L2 Cache Memory 32K Byte L1I 32K Byte L1D	
AIF2	Number	6				6	
	Spec	LTE-FDD, LTE-TDD				LTE-FDD, LTE-TDD	
	Support	6.144 Gbps Per Lane				6.144 Gbps Per Lane	
SRIO 2.1	Number	4				4	
	Support	5 GBaud Operation Per Lane				5 GBaud Operation	
Digital Front End (DFE) Subsys.	Number				4		
	Support				JESD204A/B (7.37 Gbps)		
Network Coprocessor	Packet Accelerator, Security Accelerator Engine, Ethernet Subsystem						

이 표 2와 같은 3GPP 표준 규격에서 제시하는 모든 채널을 포함해야 하며, 그림 4와 같이 규격에서 정하는 방식에 따라서 기능별로 처리되어야 한다^[15-17].

3GPP Rel-8/ Rel-9 규격의 LTE 시스템 구현에 있어서, FPGA 기반 기지국은 대용량 FPGA를 이용하여 각 채널의 동작이 병렬적으로 수행하도록 구현하여 문제가 없었고, DSP 기반 기지국은 DSP 칩에서 제공하는 보조 처리기 (coprocessor) 및 멀티 코어

(multi core) DSP를 이용하여 동작하도록 구현하였기 때문에 크게 문제될 사항이 없었다^[20].

그러나, massive MIMO와 같이, 매우 많은 수의 안테나를 사용하여 데이터를 전송할 경우의 PHY와 IF 간 인터페이스에 있어서, FPGA 기반 기지국은 안테나의 개수와 CPRI의 전송용량을 고려하여 CPRI 관련 포트 (ports)를 늘려야하는 단점이 있고, DSP 기반 기지국은 DSP에서 제공 가능한 CPRI 관련 주변 장치

표 2. 하향링크에 대한 물리채널 및 신호^[17]
Table 2. Physical channels, Reference signals, and Synchronization signals for downlink^[17]

Category	Channels & Signal	3GPP Specification version				
		Rel-8	Rel-9	Rel-10	Rel-11	Rel-12
Physical channels	Physical Downlink Shared Channel; PDSCH	O	O	O	O	O
	Physical Broadcast Channel; PBCH	O	O	O	O	O
	Physical Multicast Channel; PMCH	O	O	O	O	O
	Physical Control Format Indicator Channel; PCFICH	O	O	O	O	O
	Physical Downlink Control Channel; PDCCH	O	O	O	O	O
	Physical Hybrid ARQ Indicator Channel; PHICH	O	O	O	O	O
	Enhanced Physical Downlink Control Channel; EPDCCH	X	X	X	O	O
Reference signals	Cell-specific Reference Signal; CRS	O	O	O	O	O
	MBSFN reference signal; MBS	O	O	O	O	O
	UE-specific Reference Signal associated with PDSCH; DM-RS	O	O	O	O	O
	DeModulation Reference Signal associated with EPDCCH; DM-RS	X	X	X	O	O
	Positioning Reference Signal; PRS	O	O	O	O	O
	CSI Reference Signal; CSI-RS	X	X	O	O	O
Sync. signal	Primary synchronization signal; PSS	O	O	O	O	O
	Secondary synchronization signal; SSS	O	O	O	O	O

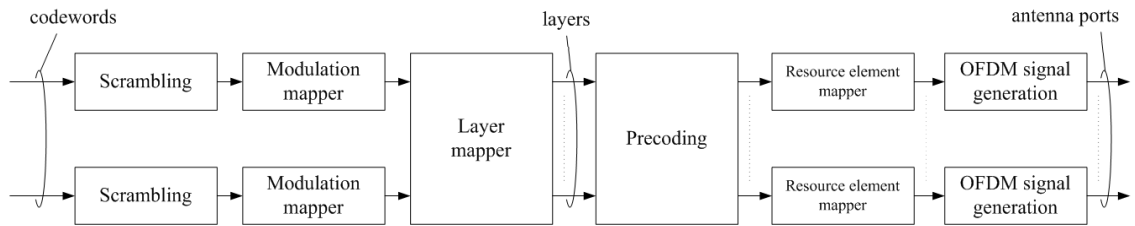


그림 4. 하향링크에 대한 물리 채널 기능 블록도^[17]
Fig. 4. Overview of physical channel processing for downlink^[17]

(peripheral)의 제한도 있고, 안테나 패스별로 수행해야 하는 계산량이 많아져 모뎀 (physical layer; PHY) 을 수행하는 DSP core에 대하여 상당히 많은 오버로드 (overload)가 요구될 수 있다.

이러한 문제점이 발생하는 근본 원인은 그림 4에서도 볼 수 있듯이, 안테나 수가 늘어남에 따라서 Layer mapper를 포함한 그 이후의 모든 기능에 대한 계산량이 비례적으로 늘어나기 때문이다.

본 논문은 많은 수의 안테나를 사용하는 기지국 시스템에 대하여, 모뎀 (physical layer; PHY)과 중간 주파수 (intermediate frequency; IF) 간 인터페이스 문제점을 근본적으로 개선하기 위해서 그림 5와 같은 구조를 제안하며 특징은 아래와 같다.

- 1) 안테나 패스별 인터페이스 구조에서 codeword

별 인터페이스 구조로 변경한다.

(1) Massive MIMO 기술과 같이, 많은 수의 안테나를 사용할 수 있는 LTE 기반 기지국 시스템의 PHY와 IF 간 인터페이스를 CPRI 1개 port만을 이용하여 원활히 구현 할 수 있다. 다시 말해서, 전송안테나의 수가 64개 또는 그 이상의 안테나 개수를 사용할지라도 인터페이스를 위한 CPRI 1개 port면 충분하다.

(2) 기지국 협력 통신 (coordinated multi point; CoMP) 기술과 같이 여러 개의 리모트 레이디오 헤드 (remote radio head; RRH)를 이용한 인터페이스에 있어서, RRH가 매크로 셀과 동일한 셀 아이디를 가지는 시나리오인 경우는 RRH별로 1개의 CPRI port만을 추가하여 원활히 구현 할 수 있고, RRH가 매크로 셀과 서로 다른 셀 아이디를 가지는 시나리오인 경우

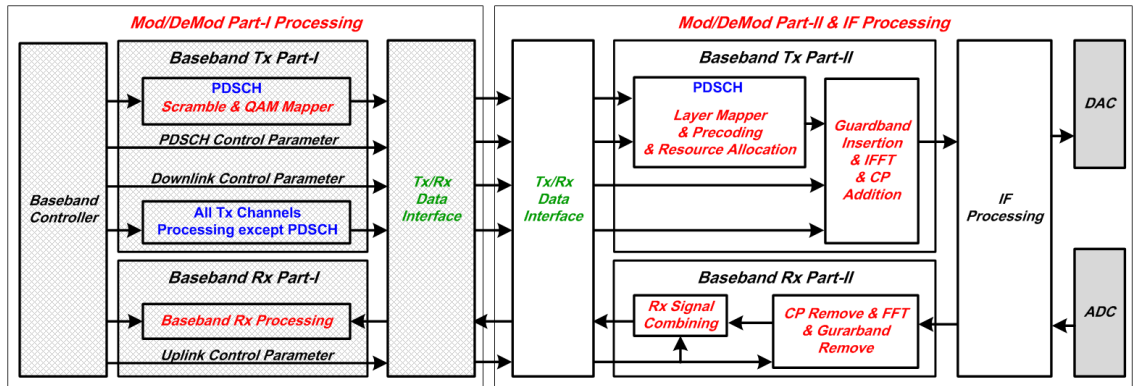


그림 5. 제안하는 DSP 및 FPGA 기반 PHY와 IF 구조
 Fig. 5. DSP and FPGA-based proposal interface architecture for between the PHY and the IF

는 처리해야 할 DSP의 처리 시간 (processing time)에 따라 RRR별로 그림 5의 복수 구조로 갈 수 있다.

2) DSP와 FPGA 각각의 장점 및 단점을 고려하여 구조에 반영한다.

(1) FPGA 기반의 개발은 링크 레벨 부동 소수점 시뮬레이터 (link level floating point simulator; LLS)를 구현하여 1차적으로 기능 검증을 한 후, 기능 블록 별로 사용하는 bits를 고려하여 링크 레벨 고정 소수점 시뮬레이터 (link level fixed point simulator)를 구현하여 2차적으로 기능 검증 및 성능 검증을 하며, VHSIC hardware description language (VHDL) 또는 Verilog 코딩을 통하여 3차적으로 구현하게 되어 개발 및 검증에는 오랜 시간이 소요되지만, 병렬 처리가 가능하고, 동작 및 수행시간이 흔들리지 않는 기계적인 동작이 가능하다.

(2) DSP 기반의 개발은 LLS를 구현하여 1차적으로 기능 검증을 한 후, DSP에서 동작할 수 있는 코딩을 통하여 2차적으로 구현하며, 1차의 구현한 코드 대부분을 그대로 사용할 수 있기 때문에 FPGA 보다 상대적으로 기능 구현에 소요되는 시간이 짧고, 합성 및 검증 과정도 용이하다.

(3) DSP의 가격이 FPGA 가격보다 매우 저렴하며, 저가의 저용량 FPGA에 필요한 몇 가지 기능을 구현하면 되기 때문에 비용면에서도 경쟁력이 있다.

3) DSP에는 아래와 같은 장점을 고려하여 구조에 반영한다.

(1) 실제 시스템에 설치된 후, 지속적으로 개선 될 수 있는 부분으로, 모뎀 제어부 및 각 채널 제어값에 의한 동작 및 검증이 필요한 부분을 DSP 기반에서 수행되도록 한다.

(2) 구현 및 검증이 FPGA 기반 개발 보다 훨씬 쉽

고, 소요 시간 및 그에 따른 필요 인력이 절감되기 때문에 가급적 많은 기능을 DSP 기반에서 수행되도록 한다.

(3) DSP에서 제공하는 보조 처리기 (coprocessor)를 이용하여 구현할 수 있는 물리 채널의 기능을 구현한다²⁰⁾.

(4) 채널의 기능 구현을 위해 소요되는 처리 시간 (processing time)이 짧은 기능은 DSP 기반에서 동작할 수 있도록 한다.

4) FPGA에는 아래와 같은 장점을 고려하여 구조에 반영한다.

(1) 타이밍 동기가 확보된 상태에서의 필요 기능을 구현한다.

(2) DSP에서 처리 시간이 오래 걸려서 수행하기 힘든 기능을 FPGA에서 수행한다.

(3) 단순히 제어값에 의해서 기계적으로 동작하는 기능을 구현한다.

(4) 동일 기능을 여러 개로 복사하여 병렬적으로 사용해도 시스템 기능 및 성능에 아무런 문제 되지 않는 기능을 구현한다.

2.4 안테나 패스별 PHY와 IF 간 데이터 인터페이스 전송량 계산

일반적인 FPGA 기반/DSP 기반 PHY와 IF 간 구조는 송신부에 있어서, 최종 기능 블록 결과로 생성된 직교 주파수 분할 다중 방식(orthogonal frequency-division multiplexing; OFDM) 신호를 안테나 패스별로 IF와 인터페이스를 수행하며, 표 3의 파라미터를 사용하여 인터페이스 전송량을 계산한다. 하나의 안테나 패스에 대한 라인 비트율 (line bit rate)은 아래와 같다.

표 3. 전송량 비교를 위한 파라미터^[17]
Table 3. Parameters for calculation of transmission quantity data^[17]

Configuration		Num. of subcarriers	Num. of resource block	Num. of OFDM symbol in a slot	Number of slot in a TTI	Cyclic prefix length
Normal cyclic prefix	$\Delta f = 15\text{kHz}$	12	100	7 ($l = 0, 1, \dots, 6$)	2	160 for $l = 0$ 144 for $l = 1, 2, \dots, 6$

$$\text{line bit rate} = 30.72[\text{MHz}] \times 2(I_{\text{ch}}, Q_{\text{ch}}) \times 16[\text{bits}] \times 10\text{B}/8\text{B} = 1.2288[\text{Gbps}].$$

여기서, $30.72[\text{MHz}] = (2048[\text{IFFT point}] \times 7[\text{OFDM sym}] + 160[\text{CP}] + 144[\text{CP}] \times 6) \times 2[\text{slots}] / 1[\text{ms}]$.

많은 수의 안테나를 고려한 64개의 안테나 패스에 대한 라인 비트율은 아래와 같다.

$$\text{line bit rate} = 30.72[\text{MHz}] \times 2(I_{\text{ch}}, Q_{\text{ch}}) \times 16[\text{bits}] \times 10\text{B}/8\text{B} \times 64[\text{Ant.}] = 76.643[\text{Gbps}].$$

FPGA 기반 구조인 경우에는 CPRI의 전송량을 고려하여 여러 개의 CPRI ports를 이용한 인터페이스 구현할 수 있겠지만 플랫폼의 크기와 전력 소비가 증가되며, DSP 기반 구조인 경우에는 표 1에서 보인바와 같이, CPRI 하나의 포트에서 전송할 수 있는 최대 전송량이 6.144 Gbps이고, 사용할 수 있는 CPRI ports의 제한으로 최대 30개의 안테나 패스에 대한 인터페이스가 가능하여 현재의 device를 이용해서는 64개의 안테나 전송을 위한 기지국 플랫폼은 제공할 수 없다^[14,19].

2.5 Codeword별 PHY와 IF 간 데이터 인터페이스 전송량 계산

본 논문에서 제안한 codeword별 인터페이스 구조에 대하여 표 3의 파라미터를 사용하여 인터페이스

전송량을 계산한다. 하나의 codeword에 대한 라인 비트율 (line bit rate)은 아래와 같다.

$$\text{line bit rate} = 16.80[\text{MHz}] \times 2(I_{\text{ch}}, Q_{\text{ch}}) \times 16[\text{bits}] \times 10\text{B}/8\text{B} = 0.6720[\text{Gbps}].$$

여기서, $16.80[\text{MHz}] = 12[\text{subcarrier}] \times 100[\text{RBs}] \times 7[\text{OFDM}] \times 2[\text{slots}] / 1[\text{ms}]$.

3GPP 표준 규격의 각 버전별 최대 codeword의 개수는 2이며, 라인 비트율은 아래와 같다.

$$\text{line bit rate} = 16.80[\text{MHz}] \times 2(I_{\text{ch}}, Q_{\text{ch}}) \times 16[\text{bits}] \times 10\text{B}/8\text{B} \times 2[\text{Ant.}] = 1.3440[\text{Gbps}].$$

이와 같이 layer mapper 앞의 기능 블록인 직교 진폭 변조 (quadrature amplitude modulation; QAM) mapper 결과에 대해서 codeword별로 인터페이스를 수행하기 때문에 데이터 인터페이스 전송량도 CPRI 한 포트만으로 충분하다.

2.6 인터페이스 전송량 비교: 종래의 안테나 패스별 방식 vs. 제안된 Codeword별 방식

본 논문에서 기술한 각각의 구조에 대한 데이터 인터페이스 전송량은 표 4와 같이 요약되며, 본 논문에서 제안한 codeword별 PHY와 IF 간 데이터 인터페이스 방법은 안테나의 개수에 영향 받지 않고, 1개의 CPRI port를 이용하여 충분히 인터페이스를 할 수 있

표 4. CPRI 인터페이스를 고려한 64개의 Antenna Paths에 대한 데이터 인터페이스 전송량 비교
Table 4. Comparison of interface data for 64 antenna paths using the CPRI Interface

	Calculation expression	Interface data [Gbps]	Remarks
Interface of FPGA-based	$30.72[\text{MHz}] \times 2[I, Q] \times 16[\text{bits}] \times 10\text{B}/8\text{B} \times 64[\text{Ant.}]$	78.6432	CPRI port is required at least 13.
Interface of DSP-based	$30.72[\text{MHz}] \times 2[I, Q] \times 16[\text{bits}] \times 10\text{B}/8\text{B} \times 30[\text{Ant.}]$	36.864	Using DSP, a maximum number of antenna interface is 30.
Interface of proposed method	$16.8[\text{MHz}] \times 2[I, Q] \times 16[\text{bits}] \times 10\text{B}/8\text{B} \times 2[\text{CW}] + \alpha$	1.344 + α	Considering CPRI port transmission quantity data, α is negligible.

음을 보여준다.

또한, 그림 6은 LTE 기반 기지국 시스템의 물리적 하향링크 공유 채널(physical downlink shared channel; PDSCH)에 대하여, 사용할 수 있는 안테나 개수에 따른 각 방식별 PHY와 IF 간 인터페이스 전송 용량을 나타낸 것으로, A1, A2는 종래의 안테나 패스별 인터페이스 방식을 이용한 codeword 1개 또는 2개를 사용한 경우이고, B1, B2는 본 논문에서 제안하는 codeword별 인터페이스 방식을 이용한 codeword 1개 또는 2개를 사용한 경우이다.

그림 6에서도 알 수 있듯이, 종래의 안테나 패스별 방식은 사용하는 codeword의 개수에 상관없이 안테나 사용 개수에 따라서 전송 용량이 증가하는 것을 알 수 있고, codeword별 인터페이스 방식은 안테나의 개수에 상관없이 codeword 사용 개수에 따라서 전송 용량이 증가하는 것을 알 수 있는데, codeword 1개 사용했을 경우는 $0.672 + a$ [Gbps]이고, codeword 2개 사용했을 경우는 1.344 [Gbps] + a 으로 안테나 인터페이스 방식에 비해서 상당히 적은 인터페이스 전송 용량이고, CPRI 1 port 만으로 충분함을 보여준다. a 는 그림 5에서 하향링크의 경우, PDSCH 제어 파라미터 및 인버스 고속 푸리에 변환 (inverse fast fourier transform; IFFT)를 고려한 하향링크 시스템 파라미터에 대한 인터페이스 용량 또는 상향링크의 경우, 상향링크 시스템 파라미터에 대한 인터페이스 용량 중 최대값으로, CRPI 인터페이스 전송률 6.144 Gbps를 고려할 때 상당히 미약하다.

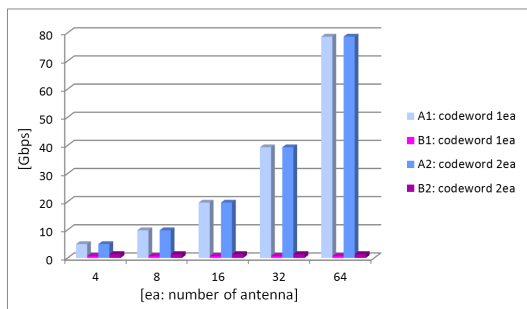


그림 6. 안테나 개수 및 codeword에 따른 각 방식별 PHY와 IF 간 인터페이스 전송 용량 비교
Fig. 6. According to the number of antennas and the codeword, compare each method by interface transport capacity

III. 결 론

본 논문은 LTE 기반 macro 기지국 플랫폼

(platform) 구조 연구에 관한 것으로, massive MIMO 기술과 같이 많은 수의 안테나를 사용하는 기지국에 있어서, 안테나수와 상관없이 대용량의 데이터를 원활히 송수신 할 수 있는 구조를 제안하였다.

제안하는 모뎀 (physical layer; PHY)과 중간 주파수 (intermediate frequency; IF) 구조는 안테나 패스별 인터페이스를 하는 기존의 일반적인 구조에서 codeword별 인터페이스를 수행하는 모뎀 구조로 변경한 것으로, 일반적으로 생각할 수 있는 FPGA 기반 또는 DSP 기반 PHY와 IF 간 데이터 인터페이스 전송 용량과 본 논문에서 제안하는 구조를 이용한 데이터 인터페이스 전송 용량 비교를 함으로써 본 논문에서 제안하는 codeword별 인터페이스 구조가 훨씬 더 좋은 구조임을 확인하였고, 하나의 CPRI 포트 (port)만으로 매우 많은 수의 안테나를 사용하는 LTE 기반 기지국 플랫폼의 PHY와 IF 간 인터페이스 구현 가능성을 보여 주었다.

또한, FPGA와 DSP의 장점을 활용한 모뎀 구조 설계를 제시하여, 지속적으로 발전하는 LTE 기반 기지국 개발에 대한 타임 투 마켓 (time-to-market)을 최소화 할 수 있을 것으로 기대하며, massive MIMO, 주파수 묶음 (carrier aggregation; CA) 기술, 기지국 협력 통신 (coordinated multi point; CoMP) 기술과 같이 주파수 효율 극대화를 위해 발전하고 있는 LTE 기반 기지국의 플랫폼 설계 및 구현에 대한 새로운 기반을 제공하고자 한다.

References

- [1] M. C. Jung and S. Y. Choi, "Optimal number of base station antennas and users in MF based multiuser massive MIMO systems," *J. KICS*, vol. 38A, no. 8, pp. 724-732, Aug. 2013.
- [2] B. H. Shim and B. J. Lee, "Evolution of MIMO technology," *J. KICS*, vol. 38A, no. 8, pp. 712-723, Aug. 2013.
- [3] H. Jakob, S. ten Brink, and M. Debbah, "Massive MIMO in the UL/DL of cellular networks: How many antennas do we need?," *IEEE J. Selected Areas Commun.*, vol. 31, no. 2, pp. 160-171, Feb. 2013.
- [4] E. Larsson, O. Edfors, F. Tufvesson, and T. Marzetta, "Massive MIMO for next generation wireless systems," *IEEE Commun. Mag.*, vol.

52, no. 2, pp. 186-195, Feb. 2014.

[5] S. Zukang, A. Papasakellariou, J. Montojo, D. Gerstenberger, and X. Fangli, "Overview of 3GPP LTE-advanced carrier aggregation for 4G wireless communications," *IEEE Commun. Mag.*, vol. 50, no. 2, pp. 122-130, Feb. 2012.

[6] G. Yuan, X. Zhang, W. Wang, and Y. Yang, "Carrier aggregation for LTE-advanced mobile communication systems," *IEEE Commun. Mag.*, vol. 48, no. 2, pp. 88-93, Feb. 2010.

[7] A. Davydov, G. Morozov, I. Bolotin, and A. Papathanassiou, "Evaluation of joint transmission CoMP in C-RAN based LTE-A HetNets with large coordination areas," in *Proc. IEEE Globecom Workshops (GC Wkshps)*, pp. 801-806, Atlanta, GA, Dec. 2013.

[8] A. Nagate, S. Nabatame, D. Ogata, K. Hoshino, and T. Fujii, "Field experiment of CoMP joint transmission over X2 interface for LTE-Advanced," in *Proc. IEEE VTC*, pp. 1-5, Dresden, Germany, Jun. 2013.

[9] M. Sarker, et al., "FPGA-based MIMO testbed for LTE applications," in *Proc. Wirel. Optical Commun. Netw. (WOCN)*, pp. 1-5, Paris, France, May 2011.

[10] H. Bachir, G. Zaharia, and G. El Zein, "Digital block design of MIMO hardware simulator for LTE applications," in *Proc. Commun. (ICC)*, pp. 4489-4493, Ottawa, Canada, Jun. 2012.

[11] Y. Lu, et al., "Design and system performances of a dual-band 4-port MIMO antenna for LTE applications," *IEEE Trans. Antennas Propaga. (APSURSI)*, pp. 2227-2230, Spokane, USA, Jul. 2011.

[12] N. Miyazaki, S. Nanba, and S. Konishi, "MIMO-OFDM throughput performances on MIMO antenna configurations using LTE-based testbed with 100 MHz bandwidth," in *Proc. IEEE VTC*, pp. 1-5, Ottawa, Canada, Sept. 2010.

[13] *ALTERA Software Defined Radio*, Retrieved Apr. 17, 2014, from <http://www.altera.com>.

[14] *CPRI Specification V6.0*, Retrieved May, 23, 2014, from <http://www.cpri.info>.

[15] H. S. Kim, T. H. Hong, and Y. S. Cho, "A cell selection technique considering MIMO precoding," *J. KICS*, vol. 37A, no. 12, pp. 1076-1084, Dec. 2012.

[16] J. H. Koo, Y. S. Kim, and J. S. Kim, "An extendable fixed-complexity sphere decoder for downlink multi-user MIMO communication system," *J. KICS*, vol. 39A, no. 4, pp. 180-187, Apr. 2014.

[17] 3GPP, *Physical channels and modulation (Release 12)*, 3GPP TS36.211 v12.1.0, Mar. 2014.

[18] C. B. Jeong, Y. H. Lee, and H. D. Bae, "A study on the architecture of modem & IF for high-capacity transmission," in *Proc. KICS*, pp. 265-266, Jan. 2014.

[19] TI, Retrieved Feb., 24, 2014, from <http://www.ti.com>.

[20] TI, *KeyStone architecture bit rate coprocessor (BCP) User Guide*, TI SPRUGZ1, Aug. 2011.

정 찬 복 (Chan-bok Jeong)



1999년 2월 : 충북대학교 전자공학과 학사
 2001년 2월 : 한양대학교 전자통신전파공학과 석사
 2001년 1월~현재 : 한국전자통신연구원 선임연구원
 <관심분야> 소형셀 기지국, 차세대 이동통신, 다중안테나 시스템,

배 현 덕 (Hyeon-deok Bae)



1977년 2월 : 한양대학교 전자공학과 학사
 1980년 2월 : 서울대학교 전자공학과 석사
 1992년 2월 : 서울대학교 전자공학과 박사
 <관심분야> 통신신호처리, 멀티레이트신호처리, 전력품질 신호처리