

# S급 전력 증폭기 응용을 위한 CMOS 대역 통과 델타 시그마 변조기 및 전력증폭기

이 용 환\*, 김 민 우\*, 김 창 우°

## A CMOS Band-Pass Delta Sigma Modulator and Power Amplifier for Class-S Amplifier Applications

Yong-hwan Lee\*, Min-woo Kim\*, Chang-woo Kim°

### 요 약

S급 전력 증폭기 응용을 위한 CMOS 대역 통과 델타 시그마 변조기(BPDSM)와 캐스코드 E급 전력 증폭기를 설계 및 제작 하였다. 대역 통과 델타 시그마 변조기는 1 GHz의 샘플링 주파수로 250 MHz의 입력 신호를 펄스 폭 변조 방식의 디지털 신호로 변조하며 양자화 잡음을 효과적으로 제거하였다. 대역 통과 델타 시그마 변조기는 25 dB의 SQNR을 가지며 1.2 V 전원 전압에서 24 mW의 전력을 소비한다. 캐스코드 E급 전력 3.3V 전원에서 동작하며 최대 18.1 dBm의 출력 전력을 가지며 25%의 드레인 효율을 보였다. 두 회로 모두 동부 0.11 um RF CMOS 공정으로 제작되었다.

**Key Words** : Class-S, Delta-sigma modulator, Switching mode Power amplifier, Class-E Power amplifier

### ABSTRACT

A CMOS band-pass delta-sigma modulator(BPDSM) and cascode class-E power amplifier have been developed CMOS for Class-S power amplifier applications. The BPDSM is operating at 1-GHz sampling frequency, which converts a 250-MHz sinusoidal signal to a pulse-width modulated digital signal without the quantization noise. The BPDSM shows a 25-dB SQNR(Signal to Quantization Noise Ratio) and consumes a power of 24 mW at an 1.2-V supply voltage. The class-E power amplifier exhibits an 18.1 dBm of the maximum output power with a 25% drain efficiency at a 3.3-V supply voltage. The BPDSM and class-E PA were fabricated in the Dongbu's 110-nm CMOS process.

### I. 서 론

최근 고도화된 정보화 시대가 도래함에 따라, 통신 시스템 또한 이에 걸부되어 빠른 속도로 발전함과 더불어 매우 다양한 형태의 통신 서비스가 개발 및 제공

되고 있으나, 사용자 측면에서 보다 편리한 형태의 이동 통신 서비스에 대한 수요가 급증하고 있다. 이러한 정보 수요에 대한 욕구의 증대와 이용자들의 폭발적인 증가로 무선 통신 서비스의 활성화와 고속·광대역의 데이터 서비스 확대가 지속적으로 이루어지고

※ 본 연구는 한국연구재단 일반연구과제(NRF 2010-0023315) 및 IDEC 지원으로 수행되었습니다.

♦ First Author : Department of Electronic and Radio Eng. Kyung Hee University, lotus@khu.ac.kr, 학생회원

° Corresponding Author : Department of Electronic and Radio Eng. Kyung Hee University, cwkim@khu.ac.kr, 종신회원

\* Department of Electronic and Radio Eng. Kyung Hee University, here33@khu.ac.kr

논문번호 : KICS2014-05-191, Received May 21, 2014; Revised October 6, 2014; Accepted October 6, 2014

있다.

이와 같은 이동 통신 서비스의 발전에 따라 대역을 효율적으로 활용하기 위한 OFDM 및 LTE(4G) 기법이 적용되었으며 이는 PAPR(peak-to-average power ratio)문제를 가지고 있다. PAPR문제로 인해 선형 증폭기는 백오프 상태에서 동작하게 되며 이는 일반적인 AB급 증폭기의 효율을 급격히 감소시킨다. 이러한 백오프 상태에서의 효율을 증가시키기 위한 대안으로 스위칭 모드 전력 증폭기가 제시된다<sup>[1-3]</sup>. 스위칭 모드 전력 증폭기는 직접적으로 PAPR문제를 해결하지 않으나 최대 100%의 높은 효율을 가지고 있으며 백오프 상태에서도 효율이 감소하지 않는다. 한편 스위칭 모드 전력 증폭기는 비선형적 특성으로 인한 단점을 가지고 있으며 이는 펄스폭변조(PWM)를 통해 해결한다. 한편 펄스 폭 변조(PWM) 방식은 짧은 주기의 펄스를 만들기 위해 높은 컷-오프 주파수를 가진 트랜지스터를 요구한다. 이 대안으로 대역 통과 델타 시그마 변조 기법이 제시된다<sup>[4]</sup>. 델타 시그마 변조기는 일정한 클럭에서 동작하고 신호의 크기를 '1'이 나오는 빈도로 표현하며 이는 펄스 폭 변조 방식과 흡사한 형태의 출력을 얻을 수 있다. 또한 델타 시그마 변조기가 가진 잡음정형(Noise Shaping)기법은 아날로그-디지털 변조간에 발생하는 양자화 잡음을 효과적으로 제거할 수 있어 스위칭 모드 전력 증폭기의 비선형적 특성을 보완하는데 적합하다<sup>[5-8]</sup>.

본 논문에서는 동부 110-nm CMOS 공정을 이용하여 S급 전력 증폭기를 위한 대역통과 델타 시그마 변조기 및 스위칭 모드 전력 증폭기를 설계 및 제작하였으며, 이들 회로의 측정결과에 대하여 고찰하기로 한다.

## II. S급 전력 증폭기 구조 및 회로 구성

그림 1은 고효율, 고선형성을 가진 S급 전력 증폭기의 개념도이다. S급 고효율 전력 증폭기는 델타 시그마 변조기(DSM), 스위칭 모드 전력 증폭기, 대역 통과 필터(BPF)의 주요 블록으로 구성되어 있다. 델

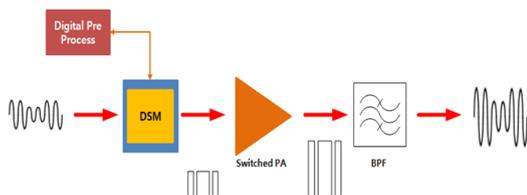


그림 1. S급 전력 증폭기의 블록도  
Fig. 1. Block diagram of the Class-S amplifier.

타 시그마 변조기는 입력되는 아날로그 입력 신호를 펄스폭 변조(PWM) 방식의 디지털 신호로 변환을 수행하며 변환된 디지털 신호는 스위칭 모드 전력 증폭기를 이용해서 증폭한다. 증폭된 신호는 다시 대역 통과 필터를 통과하여 증폭된 아날로그 신호로 복조된다.

스위칭 모드 전력 증폭기는 트랜지스터를 스위치로 사용하여 높은 효율과 안정성, 열에 대한 신뢰성을 가진 증폭기이다. 스위칭 모드 전력 증폭기의 하나인 E급 전력 증폭기는 간단한 구조를 하고 있고, 출력단에 공진기를 포함하고 있어 S급 전력 증폭기의 대역통과 필터부를 생략 할 수 있다. E급 전력 증폭기의 기본적인 형태는 그림 2와 같다.

드레인 노드 전류 전압파형에서 붉은색 선은 스위치를 통과하는 전류이며 보라색 선은 드레인 전압 파형이다. 이 두 파형이 서로 겹쳐지는 부분이 없기 때문에 스위치에서 소모하는 전력 소모가 없어 전력 효율이 우수하다. 녹색 선은 기생 커패시턴스를 포함하는 CP를 통과하는 전류로, 기생 커패시턴스 성분을 공진기의 일부로 사용하기 때문에 트랜지스터의 기생 효과로 인한 손실이 적은 특징이 있다.

한편 스위칭 모드 전력 증폭기는 신호의 위상에 대한 정보만을 받아들여 신호를 증폭하기 때문에 비선형성이 크게 나타난다. 이 비선형성 문제는 델타 시그마 변조기의 잡음정형 기법과 펄스 폭 변조 방식의 아날로그-디지털 변환을 통해 보완할 수 있다.

델타 시그마 변조기에 입력되는 아날로그 신호는 신호의 크기에 대한 정보를 펄스 폭의 정보로 변환하기 때문에 스위칭 모드 전력 증폭기에서 신호의 위상에 대한 정보만으로 증폭하더라도 기존의 아날로그 신호가 가진 정보를 모두 증폭할 수 있다. 또 델타 시그마 변조기가 가진 잡음 정형 기법은 아날로그-디지털 변조간에 발생하는 양자화 잡음을 신호 대역 밖으로 밀어내는 방법을 통해 높은 신호대 양자화 잡음비(SQNR : Signal To Quantization Noise Ratio))을 확보할 수 있다.

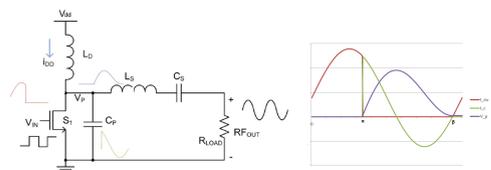


그림 2. E급 전력 증폭기의 구조와 드레인 노드 전류 전압 파형  
Fig. 2. Structure of the Class-E amplifier and the voltage and current waveforms at the drain node.

필스 퓌크 변조된 신호는 그 자체로 아날로그 신호를 포함하고 있기 때문에, 특별한 DAC를 사용하지 않고 목적한 대역에 해당되는 필터를 사용하는 것만으로 아날로그 신호로 복조가 가능하다. 따라서 스위칭 모드 전력 증폭기에 공진기를 포함하여 대역통과 필터 블록을 생략할 수 있다.

무선 통신 응용에 사용하기 위한 델타 시그마 변조기는 신호에 대해서는 대역 통과 특성을, 양자화 잡음에 대해서는 대역 제거 특성을 가지도록 설계해야 한다. 대역 통과 델타 시그마 변조기는 그림 3과 같은 구조를 가진다.

대역 통과 델타 시그마 변조기는 부채환 루프와 공진기, 1비트 양자화기(비교기)로 구성되어 있다. 변조기로 입력된 아날로그 신호는 공진기와 양자화기를 통과하여 디지털 신호로 변조된다. 양자화기를 통과한 출력 노드에서 양자화 잡음이 발생하게 되며 부채환 루프를 통과해 공진기를 거치게 된다. 신호가 입력되는 위치와 양자화 잡음이 발생하는 위치가 다르기 때문에 서로 다른 전달함수를 가지게 된다. 신호와 양자화 잡음에 대한 전달 함수는 (식 1)과 같다.

$$Y(s) = STF(s) \cdot x(s) + NTF(s) \cdot E(s) \quad (1)$$

대역 통과 델타 시그마의 변조기의 H(s)가 대역 통과 특성을 가지도록 설계한다면, 신호와 양자화 잡음에 대한 전달함수는 다음과 같은 특성을 가지게 된다.

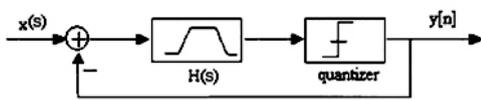


그림 3. 대역 통과 델타 시그마 변조기의 블록도.  
Fig. 3. Block diagram of the band-pass delta sigma modulator.

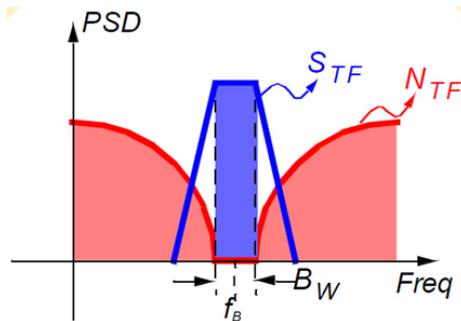


그림 4. 대역 통과 델타 시그마 변조기의 전달함수 특성  
Fig. 4. Transfer function of the band-pass delta sigma modulator.

$$Y(s) = \frac{H(s)}{1+H(s)}X(s) + \frac{1}{1+H(s)}E(s) \quad (2)$$

이 경우 신호와 양자화 잡음에 대한 특성은 그림 4와 같은 형태로 주어진다.

### III. 대역통과 델타시그마 변조기(BPDSM) 및 전력증폭기(PA) 회로 설계 및 측정결과

델타 시그마 변조기의 구조는 앞 절의 그림 3의 구조로 구성했다. 각 블록에 대한 설계는 아래와 같다.

#### 3.1 대역통과 델타 시그마 변조기

##### 3.1.1 1비트 양자화기

본 논문에서 사용한 비교기는 3단으로 구성되어 있으며, 첫 번째 단에서 입력 신호와 기준신호를 비교한다. 감지 증폭기를 분리함으로써 트랜지스터의 스택을 3개만 쌓아 올리는 것으로 설계가 가능하다. 그림 5에 비교기의 감지 증폭단의 구조를 나타냈다. 특히 제안하는 비교기의 감지 증폭부는 2개 스택으로 구성되어 출력 노드의 기생커패시턴스를 줄이고 고속 동작에 용이하도록 설계하였다.

출력 노드에 있는 CP는 트랜지스터의 트랜지스터에서 발생하는 기생 커패시턴스 성분이다. 이 커패시터는 클럭 신호가 '0'일 때 VDD로 충전된다. 클럭 신호가 '1'이 될 때 커패시터의 전압은 I/C<sub>p</sub>의 방전이 진행된다. 이 때 두 입력 신호인 V<sub>in</sub>과 V<sub>Ref</sub>에 의해 기생 커패시터가 충전하는 시정수의 변화를 일으키게 되고, 이는 두 노드의 전압 차이를 만든다. 두 출력 노드의 기생커패시턴스에서 방전되는 전류파형 때문에 Double-tailed current sense amplifier라고 부른다.

그림 6 (a)는 비교기 회로의 두 번째 단의 회로도이다. 첫 번째 단의 출력 신호는 각각 D+, D-노드로 입력된다. 클럭이 '0'일 때, 두 노드는 VDD로 충전되

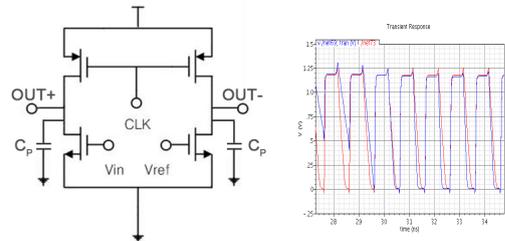


그림 5. 감지 증폭기의 구조 및 출력노드 전압파형  
Fig. 5. Circuit diagram of the double-tailed current sense amplifier and the voltage waveform at the output node.

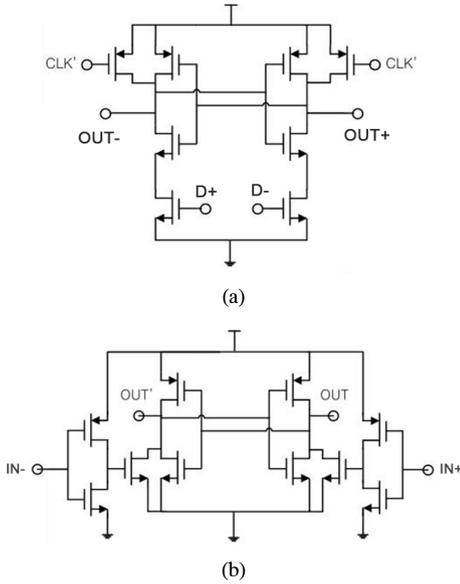


그림 6. 비교기의 두 번째 단의 구조 (a)와 세 번째 단의 구조 (b)  
 Fig. 6. Second-stage (a) and third-stage (b) structures of the comparator.

로 두 트랜지스터는 도통된다. 클럭이 '1'이 되면 앞 단에서 감지한 출력이 입력되면서 감지된 신호를 크로스-커플 인버터에서 증폭한다. 기존의 감지 증폭기와는 다르게 중간 회로를 추가함으로써 각 단의 기능을 더욱 효과적이게 한다.

그림 6 (b)는 비교기의 마지막 단 회로이다. 트랜지스터의 스위치 동작을 이용한 회로에서는 글리치가 발생한다. 이를 보완하기 위해 출력단에 추가적인 래치를 사용하여 안정적인 출력을 얻는다. 또한 중간 단의 펄스 형태의 출력을 PWM 파형의 형태로 나타낸다.

3.1.2 차동 증폭기와 공진기

대역 통과 델타 시그마 변조기의 부채환 루프는 차동 증폭기를 이용해서 구성하였고 공진기는 LC 루프 필터로 구성하였다. 회로도에는 그림 7과 같다.

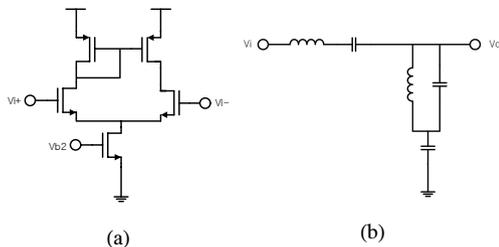


그림 7. (a) 차동 증폭기 (b) LC 루프 필터  
 Fig. 7. (a) Differential amplifier (b) LC loop filter.

3.1.3 대역통과 델타 시그마 변조기

그림 8은 대역 통과 델타 시그마 변조기의 시뮬레이션 결과이다. 입력된 사인파 신호는 대역 통과 델타 시그마 변조기에서 펄스 형태로 변조되었으며 이 때 입출력 파형은 그림 8 (a)와 같다.

출력 신호의 전력 스펙트럼은 그림 8 (c)와 같다. 회로는 동부 0.11um RF CMOS공정으로 제작하였으며, 설계한 레이아웃과 측정 시편은 그림 9와 같다. 칩면적인 250 × 550 um 이며, 공진기는 오프 칩으로 구성하였다.

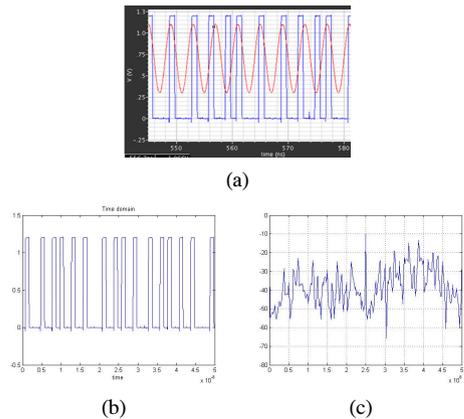


그림 8. (a)차동 증폭기와 (b) LC 루프 필터의 파형, (c) 대역 통과 델타 시그마 변조기의 출력 전력 스펙트럼  
 Fig. 8. (a) Waveform of the differential amplifier. (b) Waveform of the LC loop filter. (c) Spectrum of the BPDSM.

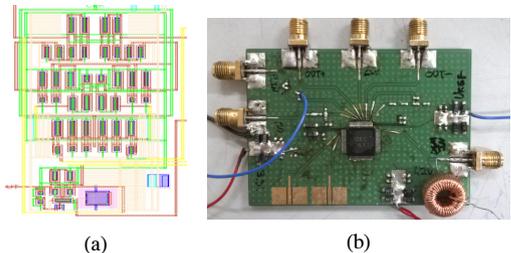


그림 9. (a) 대역 통과 델타 시그마 변조기의 레이아웃 (b) 측정용 PCB 사진  
 Fig. 9. (a) Layout of the BPDSM circuit (b) Photograph of the PCB used in the measurement.

표 1. 대역 통과 델타 시그마 변조기의 성능 요약  
 Table 1. Performance summary of the BPDSM.

Power Consumption	24mW at 1.2V
Operating frequency	250MHz
Sampling frequency	1GHz
SQNR	Approximately 25dB
Process	Dongbu's 0.11 um RF CMOS

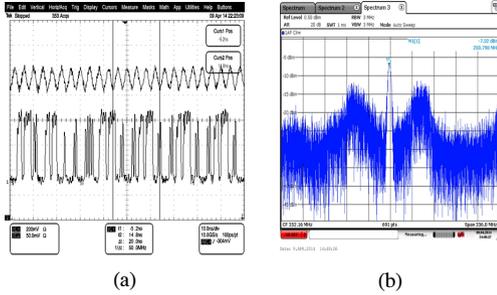


그림 10. (a) 대역 통과 델타 시그마 변조기의 입출력 파형 (b) 출력 신호 스펙트럼  
Fig. 10. (a) Input and output waveforms of the BPDSM. (b) Output spectrum of the BPDSM.

측정 결과는 그림 10과 같으며, 요약한 성능을 표 1에 정리했다. 대역 통과 델타 시그마 변조기는 동부 0.11um RF CMOS공정으로 제작하였다.

### 3.2 E급 전력 증폭기

E급 전력 증폭기는 높은 출력을 얻을 수 있는 반면 높은 드레인 노드 전압으로 인해 게이트-드레인 산화막 파괴 현상의 위험성을 가지고 있다. E급 전력 증폭기의 드레인 노드 전압은 이상적인 경우 전원 전압의 약 3.5배까지 상승할 수 있다.

$$V_{DS,max} = 2\pi \left[ \frac{\pi}{2} - \tan^{-1} \left( \frac{\pi}{2} \right) \right] \cdot V_{DD} \approx 3.5620 \cdot V_{DD} \quad (3)$$

높은 드레인 노드 전압은 트랜지스터의 게이트-드레인 간에 높은 전기장을 형성하며 이 전기장을 따라 이동하는 전자가 실리콘 산화막의 손상을 일으킬 가능성이 있다. 이 대안으로 캐스코드 구조를 사용하여 다소 효율과 출력의 열화를 받지만 각 트랜지스터가 받는 부담을 줄일 수 있다<sup>[9-10]</sup>. 캐스코드 구조를 사용한 E급 전력 증폭기는 그림 11과 같다.

그림 12는 시뮬레이션한 E급 전력 증폭기의 드레

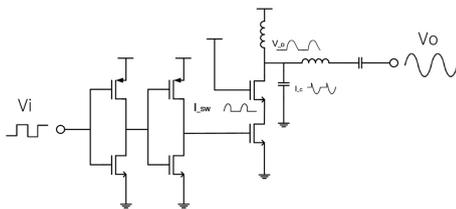


그림 11. 캐스코드 E급 전력 증폭기 회로도  
Fig. 11. Circuit diagram of the cascode class-E amplifier.

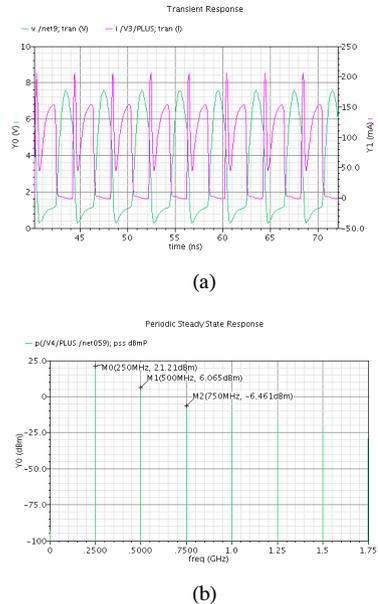


그림 12. (a) 드레인 노드 전류와 전압 파형 (b) 출력 신호 스펙트럼  
Fig. 12. (a) Current and voltage waveforms at the drain node. (b) Output spectrum of the cascode class-E amplifier.

인 노드 전압 전류파형과 출력 신호의 스펙트럼이다. 시뮬레이션한 최대 출력은 21.1 dBm으로 이 때 PAE(Power Added Efficiency)는 56.6%로 나타났다. 제작된 회로의 레이아웃은 그림 13과 같다. 측정을 위한 PCB는 대역 통과 델타 시그마 변조기와 같은 PCB를 사용하였다. 동부 0.11 um RF CMOS 공정으로 제작하였으며, 칩 면적은 120 × 140 um이다. 초크 인덕터 및 공진기는 오프 칩으로 제작하였다.

측정 결과 전원 전압에 따른 출력 및 드레인 효율의 변화는 그림 12와 같다. 측정결과 최대 18.1dBm의 출력을 나타냈으며, 드레인 효율은 최대 25%로 나타났다. 표 2에 캐스코드 E급 전력 증폭기의 성능을 요약했다.

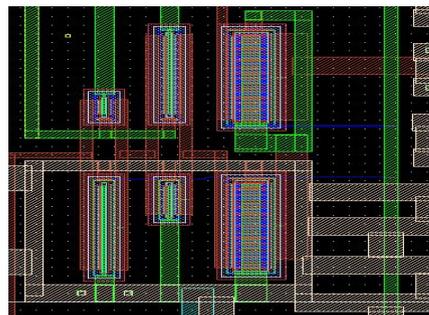


그림 13. E급 전력 증폭기의 레이아웃  
Fig. 13. Layout of the cascode class-E power amplifier.

표 2. 캐스코드 E급 전력증폭기의 성능 요약  
 Table 2. Performance summary of the cascode class-E power amplifier.

Supply Voltage	3.3V
Power Consumption	198mW
Maximum output power	18.14 dBm
Drain efficiency	Maximum 25%
Operating frequency	250MHz
Process	Dongbu's 0.11 um RF CMOS

#### IV. 결 론

본 논문은 S급 전력 증폭기를 위한 대역 통과 델타 시그마 변조기 및 E급 전력 증폭기를 제안했다. E급 전력 증폭기는 높은 효율과 열에 대한 신뢰성을 가지고 있으며 비선형적 특성은 대역통과 델타 시그마 변조기로 보완하여 높은 효율을 가진 S급 전력 증폭기를 구현 할 수 있다. 대역 통과 델타 시그마 변조기는 1.2V 전원에서 24mW의 전력을 소비하고 1 GHz의 샘플링 주파수로 250 MHz의 입력 신호를 아날로그-디지털 변조하며 약 25 dB의 SQNR(Signal to Quantization Noise Ratio)을 보인다. 캐스코드 E급 전력 증폭기는 3.3 V 전원에서 동작하며 198 mW의 소비전력을 보이고 최대 18.1 dBm의 출력 전력과 25%의 효율을 보인다. 설계된 변조기와 증폭기는 향후 RF에서의 S급 송신단의 구현 가능성을 제시한다.

#### References

[1] A. Wentzel, et al., "Envelope delta-sigma-modulated voltage-mode class-S PA," *42<sup>nd</sup> European Microwave Conf. (EuMC)*, pp. 120-123, Amsterdam, Oct.-Nov. 2012.

[2] M. Schmidt, et al., "Continuous-time bandpass delta-sigma modulator for a signal frequency of 2.2 GHz," *GEMIC*, pp. 1-4, 2009

[3] J. C. Scheytt, et al., "RF bandpass delta-sigma modulators for highly-efficient class-S transmitters in SiGe BiCMOS technology," *ICWITS*, pp. 1-4, 2010.

[4] E. Ersoy, et al., "On band-pass delta-sigma modulators suitable for microwave class-S power amplifiers," *GEMIC*, pp. 1-4, 2008.

[5] P. Ostrovskyy, et al., "A 5-Gb/s 2.1-2.2-GHz bandpass  $\Delta\Sigma$  modulator for switch-mode

power amplifier," *IEEE Trans. Microwave theory and techniques*, vol. 60, pp. 2524-2531

[6] E. Ersoy, et al., "On band-pass delta-sigma modulators suitable for microwave class-S power amplifiers," *GEMIC*, pp. 1-4, 2008.

[7] T. Podsiadlik, et al., "Parallelization of bandpass sigma-delta modulators for class-S digital piower amplifiers," *Research in Microelectronics and Electronics (PRIME)*, pp. 1-4, 2010.

[8] M. Iwamoto, et al., "Bandpass delta-sigma class-S amplifier," *IEEE J.* vol. 36, no. 12, pp. 1010-1132, 2000.

[9] L. Larcher, et al., "Oxide breakdown after RF stress: Experimental analysis and effects on power amplifier Operation," *IEEE Proc. Int. Reliability Physics Symp.*, pp. 283-288, 2006.

[10] A. Mazzanti, et al., "Analysis of reliability and power efficiency in cascode class-E PAs," *IEEE J. Solid-State Circuits*, vol. 41, pp. 1222-1229, 2006.

#### 이 용 환 (Yong-hwan Lee)



2011년 2월 : 경희대학교 전자공학과 졸업  
 2014년 8월 : 경희대학교 전자전파공학과 석사  
 <관심분야> 전자공학, 통신공학

#### 김 민 우 (Min-woo Kim)



2012년 2월 : 경희대학교 전자전파공학과 졸업  
 2014년 2월 : 경희대학교 전자전파공학과 석사  
 <관심분야> 전자공학, 통신공학

김 창 우 (Chang-woo Kim)



1984년 2월 : 한양대학교 전자  
공학과 졸업

1994년 2월 : 한양대학교 전자  
공학과 석사

1992년 3월 : 일본 Shizuoka 대  
학원 전자공학과 공학박사

1992년 4월~1996년 2월 :  
(주)NEC 마이크로 일렉트로닉스 연구소 주임연  
구원

1996년 3월~현재 : 경희대학교 전자정보대학 교수  
<관심분야> MMIC/RFSoc설계, 초고주파 능동소자  
모델링, RFID/USN 시스템 설계