

이중 펄스 폭을 적용한 PFM 부스트 변환기 설계

최지산*, 조용민*, 이태헌*, 윤광섭^o

Design of PFM Boost Converter with Dual Pulse Width Control

Ji-San Choi*, Yong-Min Jo*, Tae-Heon Lee*, Kwang-Sub Yoon^o

요약

본 논문은 이중 펄스 폭을 지닌 PFM(Pulse-Frequency Modulator) 부스트 변환기를 제안한다. 부스트 변환기의 구동 회로 구조는 밴드 갭 기준 전압 발생 회로와 이를 이용해 여러 가지의 기준 전압을 생성하는 기준 전압 발생 회로, 소프트 시동 회로, 에러 증폭기, 고속 전압 비교기, 인덕터 전류 센싱 회로, 펄스 폭 발생 회로로 구성되어 있다. 변환기는 부하 전류 상태에 따라 서로 다른 최대 인덕터 전류 값을 갖도록 구성해 부하 범위를 넓히고, 출력 전압 리플을 감소하도록 했다. 제안된 PFM 부스트 변환기는 입력 전압으로 3.7V를 받고, 18V의 출력 전압을 생성한다. 구동 가능한 부하 전류는 0.1~300mA의 범위를 가진다. 모의실험 결과 저 부하 전류 동작 구간에서 0.43%, 고 부하 전류 동작 구간에서는 0.79%의 출력 전압 리플을 보였다. 변환기는 저 부하 구간에서 85%의 효율을 나타내며 20mA에서 86.4%로 최대의 효율을 나타냈다.

Key Words : PFM, Boost Converter, Pulse-width, DC-DC Converter

ABSTRACT

This paper proposed a PFM(pulse-frequency modulator) boost converter which has dual pulse-width. The PFM boost converter is composed of BGR(band gap voltage reference generating circuit), voltage reference generating circuit, soft-start circuit, error amplifier, high-speed comparator, inductor current sensing circuit and pulse-width generator. Converter has different inductor peak current so it has wider load current range and smaller output voltage ripple. Proposed PFM boost converter generates 18V output voltage with input voltage of 3.7V and it has load current range of 0.1~300mA. Simulation results show 0.43% output voltage ripple at high load mode and 0.79% output voltage ripple at heavy load mode. Converter has efficiency 85% at light load mode and it has maximum 86.4% at 20mA load current.

I. 서론

이동형 전자제품은 그 특성상 완전히 충전된 상태

의 배터리를 최대 시간으로 사용하도록 하는 것이 중요한 요소이다. 이러한 추세에 따라 이동형 전자 제품에서 전력관리회로(PMIC: Power Management Integrated

* 본 연구는 미래창조과학부 및 정보통신기술진흥센터의 대학ICT연구센터육성 지원사업의 연구결과로 수행되었음 (IITP-2015-H8501-15-1010)

* 본 연구는 2010년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2010-0020163)

* 반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다.

* 본 연구는 인하대학교의 지원으로 설계되었습니다.

• First Author : Inha University Department of Electronic Engineering, ccs0491@nate.com, 학생회원

◦ Corresponding Author : Inha University Department of electronic Engineering, ksyoon@inha.ac.kr, 종신회원

* Inha University Department of electronic Engineering, joyminn@naver.com, xogjs9503@naver.com

논문번호 : KICS2015-06-175 Received June 8, 2015; Revised August 7, 2015; Accepted September 4, 2015

Circuit)를 이용해 2차 전지인 리튬-이온 배터리로부터 전력을 받아 AP(Application Processor)와 디스플레이를 보다 안정적이고 효율적으로 구동할 수 있도록 요구하고 있다¹⁾.

전력관리회로에서 입력전압보다 큰 출력 전압을 출력하는 부스트 변환기의 동작 방식으로는 파워스위치를 구동하는 방식에 따라 PFM, PWM(Pulse-width modulation) 제어 방식으로 나눌 수 있다²⁾. PWM 모드 제어는 일정한 주기마다 파워스위치가 도통되며 입력 전압과 출력 전압 비율에 따라 다른 듀티 비(주기 당 파워스위치 도통 시간)를 갖으며 높은 부하 전류 구간에서 높은 효율을 갖지만 낮은 부하 전류 구간에서는 구동 회로의 소모 전류가 많아 효율이 낮다. 반면, PFM 모드 제어는 출력 전압과 부하 전류에 따라 각기 다른 파워스위치 도통 주파수를 갖는 동작 방식이다. PFM은 동작 방식이 간단해 신뢰성이 높고 낮은 부하 조건에서 구동 회로의 소모 전류가 적어 우수한 전력 전달 효율을 나타내지만 높은 부하 조건에서는 저조한 전력 전달 효율을 나타낸다. 따라서 PFM은 부하 전류 수치가 적은 경우 사용하기에 적합하다³⁾.

제안한 PFM 부스트 변환기는 리튬-이온 배터리로부터 입력 전압으로 3.7V를 공급 받아, 디스플레이에 18V의 출력 전압을 생성하며 PFM 제어의 장점을 살리면서 공급 부하 폭을 확장하고 과도한 전류로 인한 소자의 손상 가능성을 방지했다. 부하 전류를 확인해 저 부하 동작 구간과 고 부하 동작 구간을 구분한 다음 부하 전류 조건에 따라 이중 펄스 폭 발생 회로와 전류 센싱 회로를 변경해 동작하도록 했다.

2장에서는 구현된 PFM 부스트 변환기의 구조와 회로 내부 블록들에 대해서 구체적으로 설명한다. 3장에서는 제안하는 변환기의 칩 사진 및 시뮬레이션 결과를, 4장에서는 본 논문의 결론을 맺는다.

II. 제안하는 PFM 부스트 변환기의 구조

그림 1은 제안된 PFM 부스트 변환기의 전체 블록도이다. 전체 회로도에서 점선으로 표시된 부분은 칩에 집적된 부분 회로로 ①온도, 공정 환경 등에 영향 받지 않고 기준 전압을 공급해 주는 밴드 갭 기준 전압 발생 회로, ②밴드 갭 기준 전압 발생 회로에서 받은 전압으로 여러 개의 기준 전압을 생성하는 기준 전압 발생 회로, ③인-러쉬 전류로 인한 소자의 손상을 막고 초기 동작에서 출력 전압과 같이 상승하는 소프트 시동회로⁴⁾, ④부하 전류를 감지하기 위한 부하 전류 감지 회로, ⑤출력 전압의 부귀환 정보로 'Set' 신호를 발생시키는 고속 비교기, ⑥파워 스위치가 도통될 때 인덕터에 흐르는 전류를 감지하기 위한 전류 센싱 회로⁵⁾, ⑦부하 전류 정보/출력 전압 정보/인덕터 전류 정보를 통해 파워 스위치의 온 타임을 결정하는 펄스 폭 발생 회로, ⑧파워 스위치를 구동하기 위한 N형과 P형의 비율이 1:2 인 버퍼와 파워스위치 M_1 로 구성되어 있다.

축퇴 저항을 이용해 커패시터의 크기와 칩의 면적을 줄인 소프트 시동회로(Soft Start Circuit)를 그림 2에 나타냈다. 소프트 시동회로는 부스트 변환기에서 초기 동작 시 급격한 전류 발생을 방지하고, 최초 전

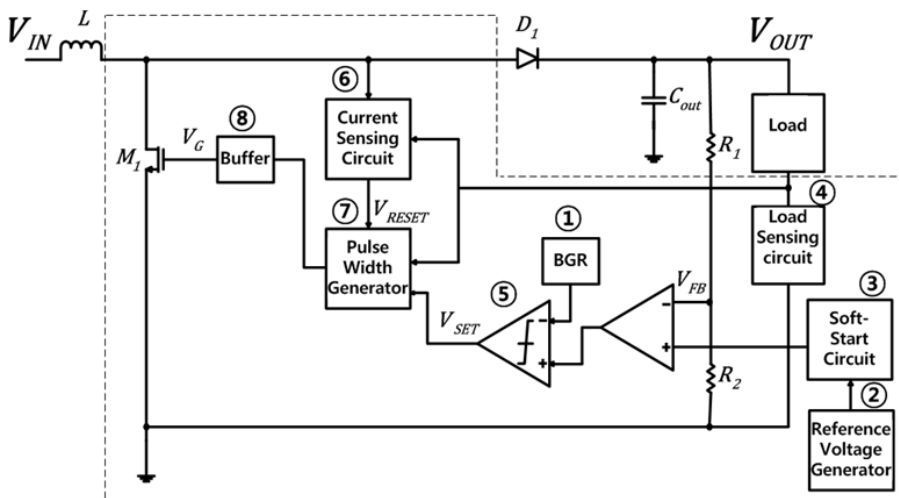


그림 1. 제안된 PFM 부스트 변환기
Fig. 1. Proposed PFM Boost Converter

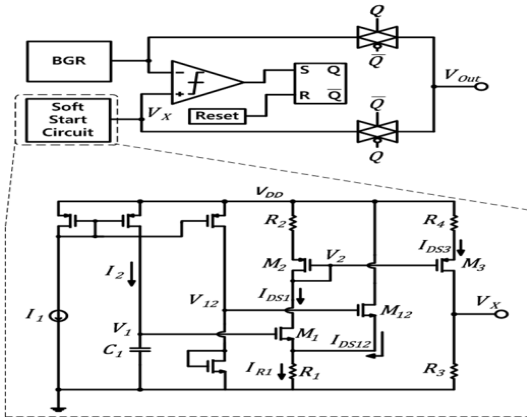


그림 2. 소프트 시동회로의 회로도
Fig. 2. Schematic of soft start circuit

업 상승구간에서 동작하기 위해 사용된다. 기존의 소프트 시동회로는 수백 μs 의 지연시간으로 설계하기 위해서 수백 pF에서 수 nF의 큰 커패시터를 필요하거나 수 nA 단위의 전류를 사용해야 했다. 그림 2는 수백 nA에서 수 uA로 구동하면서 10 pF 수준의 커패시터를 사용하면서 200 μs 의 지연시간을 만족하도록 설계한 소프트 시동회로 시동회로를 나타낸다⁴¹.

입력 전압 V_{DD} 가 입력되면 C_1 이 충전되면서 $V_1 = \frac{I_2}{C}t$ 로 증가하게 되며, V_1 이 V_{12} 와 같아질 때 NMOS M_1 이 도통된다. V_1 은 시간에 선형적으로 비례하여 증가하며 $V_1 \gg V_{12}$ 의 조건이 되면 M_{12} 가 차단되어 I_{R1} 의 대부분이 M_1 으로 흘러 $I_{R1} \approx I_{DS1} = \frac{V_{M2} - V_{GS1}}{R_1}$ 이 되며 I_{R1} 또한 시간에 비례하여 증가한다. $V_2 = V_{DD} - I_{DS1}R_2$ 로 V_1 과 함께 시간에 비례하여 증가하는 I_{DS1} 로 인해 감소하게 된다. I_{DS1} 은 축퇴 저항을 지닌 전류겨울 구조의 M_2 와 M_3 를 통해 I_{DS3} 가 흐르도록 하며 I_{DS3} 는 결과적으로 V_1 에 비례하면서 느린 속도로 증가하게 되며 이에 따라 V_X 가 천천히 증가하게 된다. V_X 가 BGR보다 작을 때 전체 회로의 출력 전압은 V_X 와 같으나 V_X 가 증가하여 BGR보다 커지게 되면 SR 래치의 Q가 'High'를 출력해 이후부터는 BGR과 같은 전압을 출력하게 된다.

그림 3은 제안하는 펄스 폭 발생 회로를 나타낸다. 이 회로는 기존의 펄스 폭 발생 회로에 M_1 과 C_2 를 추가하고, V_2 와 V_3 에는 직렬 저항을 이용한 전압 생

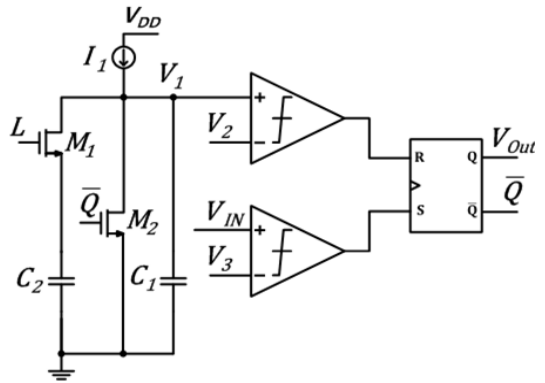


그림 3. 펄스 폭 발생 회로의 회로도
Fig. 3. Schematic of pulse width generator

성 대신 기준 전압 발생 회로의 전압을 받아 사용하도록 설계했다.

M_1 의 게이트 단자의 입력 신호인 L 은 부하 전류 정보를 받아 고 부하 모드일 경우에는 'High', 저 부하 모드일 때에는 'Low'로 유지된다. 따라서 저 부하 모드일 때에는 충전할 커패시터가 C_1 , 고 부하 모드일 때에는 $C_1 + C_2$ 로 정해진다. 입력 전압 V_{IN} 은 출력 전압의 정보를 이용해 발생하는 'Set' 신호이다. V_{IN} 으로 'High' 신호가 입력되면 SR 래치를 통해 V_{out} 에서 'High' 신호가 발생한다. M_2 의 게이트 단자에는 'Low' 신호가 입력되어 차단되며 이로 인해 I_1 이 커패시터를 충전하면서 V_1 이 상승한다. V_1 은 V_2 보다 커질 때 까지 상승하며 $V_1 > V_2$ 가 되는 동시에 SR 래치를 통해 V_{out} 에서는 'Low' 신호가 출력된다. 이렇게 되기까지의 시간을 t_{on} 이라 하며 이는 $t_{on,light} = \frac{C_1 V_2}{I_1}$ 와 $t_{on,heavy} = \frac{(C_1 + C_2) V_2}{I_1}$ 로 부하 상태에 따라 결정된다.

전체 회로는 배터리로부터 입력 전압 3.7V가 인가 되면 초기 동작에서의 인-러쉬 전류에 의한 인덕터, 파워 스위치의 손상을 방지하기 위해 소프트 시동회로를 통해 출력 전압을 천천히 상승시킨다. 이때 변환기는 천천히 상승하는 출력 전압과 소프트 시동회로에서 발생하는 전압을 비교하며 피크 전류 구동 형으로 동작한다. 출력 전압이 18V에 도달하면 변환기는 펄스 폭 발생 회로에 의해 일정한 파워스위치 도통 시간을 갖도록 동작한다. 이때 변환기는 부하 전류 정보를 받아 160mA를 기준으로 고 부하/저 부하 모드로 결정된다. 160mA보다 적은 부하 전류가 흐르면 변환기는 저 부하 모드로 동작해 펄스 폭 발생 회로는 상

대적으로 짧은 온 타임을 발생시키며 이때 전류 센싱 회로는 낮은 제한치를 갖는다. 160mA보다 많은 부하 전류가 흐르면 변환기는 고 부하 모드로 동작해 펄스 폭 발생 회로는 상대적으로 긴 온 타임을 발생시키며 전류 센싱 회로는 높은 제한치를 갖도록 했다.

III. 모의 실험 결과 및 고찰

제안된 PFM 부스트 변환기는 0.35 μ m BCDMOS 2-Poly 4-Metal 공정을 사용하여 설계 되었다. 그림 4 는 제작된 PFM 부스트 변환기의 칩 사진이다. 아날로그 블록의 사이즈는 800 μ m \times 1800 μ m , 파워스위치를 구동하기 위한 1024배의 버퍼를 포함하는 디지털 블록의 사이즈는 600 μ m \times 1000 μ m , N형 파워 스위치의 사이즈는 750 μ m \times 750 μ m 로 제작된 전체 칩의 사이즈는 2350 μ m \times 2350 μ m 이다.

그림 5는 부하에 20mA를 공급하고 있는 변환기의 출력 전압을 나타낸다. 저 부하 구간에서 동작하도록 하였으며 변환기는 0V부터 전압이 상승하기 시작해 800 μ s에 정상상태에 이르러 18V를 출력했다. 설계된 PFM 부스트 변환기는 정상상태에서 18.075V를 출력했으며 출력 전압 맥동은 84mV를 나타냈다.

800 μ s가 되기 전 변환기는 2.25A의 피크 전류를 갖고, 출력 전압을 상승시킨 뒤 800 μ s부터 정상상태에 도달했다. 부하 전류가 20mA일 때 저 부하 모드에서 동작하는 변환기의 인덕터 전류 피크 값은 3A를 나타냈다. 그림 6에서는 같은 조건에서 동작하고 있는 인덕터 전류의 파형을 나타낸다.

높은 전압 변환비율을 지니면서 넓은 부하 전류 범위에서 보다 적은 출력 전압 맥동으로 동작하는 부스

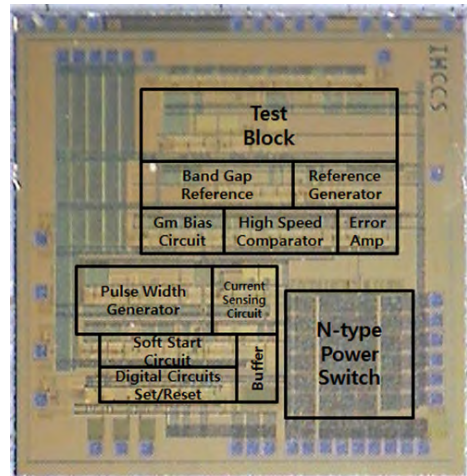


그림 4. 펄스 폭 발생 회로의 회로도
Fig. 4. Schematic of pulse width generator

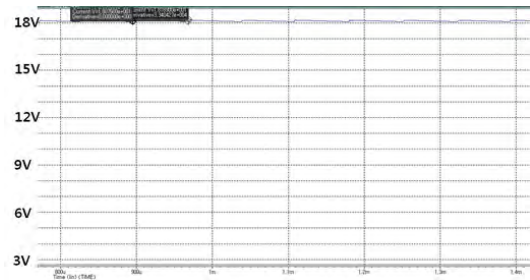


그림 5. 포스트 레이아웃 시뮬레이션 - 출력 전압 (18V)
Fig. 5. Post layout simulation - output voltage (18V)

트 변환기를 제안했다. 본 절에서는 제안한 PFM 부스트 변환기 회로와 국제 수준의 학술대회에서 발표된 부스트 변환기의 성능을 비교했다. 기존의 논문들은 전압 변환비율과 부하 전류 범위가 변환기의 효율, 출

표 1. 제안하는 PFM 부스트 변환기와 기존 논문들과의 비교 평가

Table 1. Comparison of performance between the proposed PFM boost converter and prior existing papers

Parameter	[6]	[7]	[8]	this work
Architecture	Current limit PFM	Current limit PFM	Adaptive Current limit mode PFM	Dual peak current mode PFM
CMOS Process	N/A	0.5 μ m	0.18 μ m	0.35 μ m
Inductor(uH)	10	4.7	N/A	4.7
Capacitor(uF)	15	22	N/A	22
Input Voltage(V)	5	1.5	1.3	3.7
Output Voltage(V)	15	2	1.8	18
Output Voltage Ripple(%)	≤ 1	≤ 0.6	≤ 2.2	≤ 0.46 (Light Load) ≤ 0.79 (Heavy Load)
Load Current Range(mA)	1~100	1~150	1~50	0.1~300
Transient Response(μ s)	12	N/A	N/A	8.2
Efficiency(%)	Max 87	Max 91.9	Max 90.6	Max 86.4

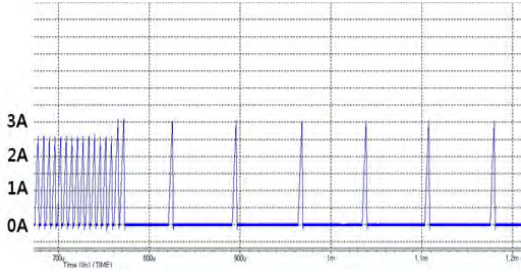


그림 6. 포스트 레이아웃 시뮬레이션 - 인덕터 전류
Fig. 6. Post layout simulation - inductor current

력 전압 맥동과 트레이드-오프 관계를 이루는 것을 알 수 있다. 제안한 회로는 출력 전압 비율이 높으면서 출력 전압 범위가 넓으면서 출력 전압 맥동이 비교적 작으나 출력 전압 비율이 높고, 추가적인 구동회로의 소모 전류로 인해 다른 논문에 비해 최대 효율이 떨어지는 86.4%를 나타냈다.

IV. 결 론

본 논문은 2015년 한국통신학회 동계학술대회 논문을 확장한 결과로 모바일이나 차량용 디스플레이의 전원 공급 장치로 사용하기 위해 기존의 PFM 부스트 변환기가 가지는 문제점인 한정적인 부하 전류 폭과 큰 출력 전압 리플을 개선해 설계했다. 입력 전압으로 3.7V를 공급받아, 18V를 출력하는 PFM 부스트 변환기를 사용하기 위해 기존의 PFM 부스트 변환기에서 출력 전류를 감지한 다음 펄스 폭 발생기에서 각 부하 상태에 따라 각기 다른 파워스위치 도통 시간을 갖으며, 저 부하 구간과 고 부하 구간에서 최대 인덕터 전류가 다르도록 설계했다. 이로 인해 단일 펄스 폭을 지닌 PFM 부스트 변환기보다 효율은 떨어지지만, 넓은 부하 전류 폭을 지니면서 출력 전압 리플을 낮췄다. 또한, 안정적인 동작과 과전류로 인한 소자 손상을 방지하기 위해 인덕터 전류 센싱 회로에서는 각 부하 구간별로 서로 다른 피크 값을 갖도록 했다. 긴 지연시간을 가지기 위해선 비교적 큰 커패시터가 필요해 칩에서 큰 면적을 차지하는 소프트 시동회로에서 축퇴 저항을 사용해 이전보다 작은 커패시터를 사용해 200 μ s의 지연시간을 갖도록 설계했으며, 전압 변환비가 본 논문보다 낮은 경우보다 낮은 최대 인덕터 전류를 이용해 더욱 높은 효율과 동작 안정성을 보장할 수 있다. 이러한 구조에 피드백 저항을 바꿔 출력 전압을 낮출 경우보다 높은 효율을 기록할 수 있다.

제안하는 PFM 부스트 변환기는 0.35 μ m 60V

BCDMOS 공정으로 제작되었으며 외부소자로 4.7 μ H의 인덕터와 15 μ F의 커패시터, 다이오드, 피드백 저항, 바이어스 저항이 필요하다. 제안한 PFM 부스트 변환기는 기존 논문보다 효율의 향상을 이루지 못했다. 하지만 높은 출력 전압비와 넓은 부하 전류 폭을 지니면서 적은 출력 전압 맥동으로 구동되므로 모바일이나 차량용 디스플레이 구동 회로에 응용될 수 있다.

References

- [1] E. Sanchez-Sinencio and A. G. Andreou, "Low-voltage/ low-power integrated circuits and systems," *IEEE PRESS*, 1998.
- [2] U. Sengupta, "PWM and PFM operation of DC/DC converters for portable applications," *TI Power Supply Design Seminar*, vol. 1700, 2007.
- [3] X. Liu, S. Guo, S. Wang, F. Xu, G. Du, and Y. Chang, "Analysis and design of a high efficiency boost DC-DC converter based on pulse-frequency modulation," *Int. Symp. Integrated Circuits*, pp. 398-401, Singapore, 2007.
- [4] M. Al-Shyoukh and H. Lee, "A compact fully-integrated extremum-selector-based soft-start circuit for voltage regulators in bulk CMOS technologies," *IEEE Trans. Circuits Syst. II: Express Briefs*, vol. 57, no. 10, pp. 818-822, 2010.
- [5] K. Lee, "Design of high dimming ratio power-LED driver with preloading inductor current method," M.S. Thesis, Inha University Graduate school, pp. 45-46, 2013.
- [6] Y.-S. Kim, B.-M. No, J.-S. Min, S. Al-Sarawi, and D. Abbott, "On-chip current sensing circuit for current-limited minimum off-time PFM boost converter," *SoC Design Conf. (ISOCC)*, pp. 544-547, Busan, Korea, Nov. 2009.
- [7] R. C.-H. Chang, H.-M. Chen, C.-H. Chia, and P.-S. Lei, "An exact current-mode PFM boost converter with dynamic stored energy technique," *IEEE Trans. Power Electron.*, vol. 24, no. 4, pp. 1129-1134, Feb. 2009.
- [8] H.-H. Wu, C.-L. Wei, Y.-C. Hsu, and R. B.

Darling, "Adaptive peak inductor current controlled PFM boost converter with a near-threshold startup voltage and high efficiency" *IEEE Trans. Power Electron.*, vol. 30, no. 4, pp. 1956-1965, May 2014.

이 태 헌 (Tae-Heon Lee)



2015년 2월 : 인하대학교 전자공학과 졸업
2015년 3월~현재 : 인하대학교 전자공학과 석사과정
<관심분야> 전자공학, 아날로그 회로 설계

최 지 산 (Ji-San Choi)



2012년 2월 : 인하대학교 전자공학과 졸업
2015년 8월 : 인하대학교 전자공학과 석사 졸업 예정
<관심분야> 전자공학, 아날로그 회로 설계

윤 광 섭 (Gwang-Sub Yoon)



1982년 : 인하대학교 전자공학과 졸업
1983년 : Georgia Institute Inc, Technology 전자 공학과 석사 졸업
1989년 : Georgia Institute Inc, Technology 전자공학과 박사 졸업

조 용 민 (Yong-Min Jo)



2014년 8월 : 인천대학교 전자공학과 졸업
2014년 9월~현재 : 인하대학교 전자공학과 석사과정
<관심분야> 전자공학, 아날로그 회로 설계

1984년 3월~1989년 2월 : Georgia Institute of Technology Research Assistant
1989년 3월~1992년 2월 : Silicon Systems Inc, Tustin Calif. U.S.A Senior Design Engineer
1992 3월~현재 : 인하대학교 전자공학과 교수
<관심분야> 전자공학, 아날로그 회로설계