

평면 이온트랩의 X형 교차로 영역을 통과하는 이온 손실의 가능성을 줄이기 위한 DC 인가 전압 세트 설계

박윤재*, 이민재*, 홍석준**, 정창현*, 정준호*, 김태현***, 권영대****, 조동일°

Design of DC Voltage Sets to Reduce the Probability of Losses of Ions Passing through the Intersection of Planar Ion Traps

Yun-Jae Park*, Min-Jae Lee*, Seok-Jun Hong**, Chang-Hyun Jung*, Jun-Ho Cheong*,
Tae-Hyun Kim***, Yeong-Dae Kwon****, Dong-Il Cho°

요약

이온트랩 기반의 대규모 양자정보처리 시스템의 구현을 위해서는 선형 이온트랩이 교차하여 교차로를 생성시키는 평면 이온트랩 시스템의 설계 및 안정적인 이온 이동 방법 개발이 필요하다. 양자정보를 가지고 있는 이온이 안정적으로 교차로 이온트랩을 통과하도록, DC 인가 전압 세트를 적절히 설계하여 이온의 손실 가능성을 감소시킬 필요가 있다. 전위 우물에 포획된 이온이 축방향으로 이동할 때, 이온에서 보여지는 전위 우물의 형태의 변화는 이온 가열을 초래한다. 본 논문에서는 전위 우물이 그 형태를 유지하고 축방향으로 $-150 \mu\text{m}$ 부터 $+150 \mu\text{m}$ 까지 이동될 수 있는 DC 인가 전압 세트를 추출하는 방법을 제안한다. 이 방식은 대규모 양자정보처리 장치의 구현을 위한 이온 이동 실험에 적용될 수 있다.

Key Words : DC voltage, ion shuttling, QIP, junction ion trap, ion losses

ABSTRACT

In order to realize a large-scale quantum information processing system based on ion traps, it is necessary to design planar ion trap systems, in which linear ion traps intersect each other forming a junction and to develop methods to move ions in a stable path. In order for ions having quantum information to stably pass through the junction, minimizing the possibility of ion losses by appropriately designing applied DC voltage sets is required. When ions captured in the potential well move in the axial direction, changes in the shape of the potential well seen by the ions result in the heating of those ions. In this paper, we propose a method of extracting DC

※ 본 연구는 SK텔레콤의 지원과 과학기술정보통신부 및 정보통신기술진흥센터의 대학ICT연구센터육성 지원사업의 연구결과로 수행되었음 (IITP-2018-2015-0-00385)

※ 본 논문은 2018년 한국통신학회 동계학술대회에서 최장추진논문으로 선정되어, 내용 보완 후 제출된 논문임.

• First Author : (ORCID:0000-0003-4603-9114)Dept. of Elect. and Comp. Engineering, Seoul National University, yjpark0128@snu.ac.kr, 학생회원

° Corresponding Author : (ORCID:0000-0002-8040-5803)Dept. of Elect. and Comp. Engineering, Seoul National University, dicho@snu.ac.kr, 정회원

* (ORCID:0000-0002-2716-9354,0000-0001-9938-8639,0000-0003-3532-864X)Dept. of Elect. and Comp. Engineering, Seoul National University, mjlee88@snu.ac.kr, chjung91@snu.ac.kr, jhjeong32@snu.ac.kr, 학생회원

** (ORCID:0000-0002-8320-4185)Univ. of Sussex, Physics and Astronomy, sjhong84@snu.ac.kr

*** (ORCID:0000-0003-3532-864X)Dept. of Computer Science and Engineering, Seoul National University, taehyun@snu.ac.kr

**** (ORCID:0000-0002-7823-6860)Quantum Technology Lab, SK Telecom, ykwon@sk.com

논문번호 : 201806-0-101-SE, Received April 30, 2018; Revised August 2, 2018; Accepted September 12, 2018

voltage sets that allow the potential well to maintain its shape within a $-150 \mu\text{m}$ to $+150 \mu\text{m}$ range in the axial direction. This method can be applied to ion shuttling experiments for the realization of large-scale quantum information processing devices.

I. 서 론

이온트랩(ion trap)은 양자정보처리 기술의 구현 장치 중 하나로, 집적화된 이온트랩을 이용해 보다 복잡한 양자 알고리즘을 구현 할 수 있을 것으로 기대된다^[1-5]. 집적화된 이온트랩의 구현을 위해서는 여러 개의 선형 이온트랩이 교차하는 구조가 필수적이다. 이온트랩에 포획된 이온을 이동시킬 때 이온이 손실되면 양자 정보를 잃게 되므로, 안정적으로 이온을 포획하고 이동시키는 방법이 활발히 연구되고 있다. 2010년에는 G. Shu 등이 전극 구조가 대칭 구조인 평면 이온트랩 상에 원하는 형상의 전위 우물을 생성시킬 수 있는 DC 인가 전압 세트 설계 방식을 제안했고^[6], 2013년에는 K. Wright 등이 Y 교차로 형태의 평면 이온트랩 상에 포획된 이온의 이동을 실험하였다^[7]. 본 논문에서는 X 교차로 구조의 평면 이온트랩에 안정적으로 이온을 포획할 수 있는 형태의 전위 우물을 생성하고 그 형태를 유지하며 축방향으로 이동시키는 것이 가능한 DC 인가 전압 세트의 추출 방법을 제안한다.

II. X-교차점 이온트랩의 구조

그림 1은 서울대에서 개발한 이온트랩의 개념도이다^[8]. 이온은 radial 방향(x축, z축)으로는 RF 전극에 의한 pseudopotential에 의해서, axial 방향(y축, 이온 이동 방향)으로는 control DC 전극을 통해 생성시킨 전위 우물에 의해서 움직임이 제한되어 포획된다. Inner DC 전극은 이온트랩 실험에서 이온을 1개의 laser만을 이용하여 효율적으로 냉각시키기 위해, 이

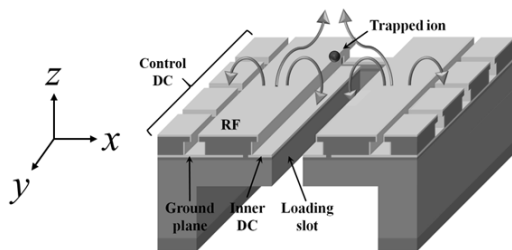


그림 1. 서울대 그룹이 제안한 이온트랩의 개념도[8]
Fig. 1. The concept of ion trap proposed by SNU group[8]

온트랩의 axial 축(그림 1의 y축)을 기준으로 radial 축(그림 1의 x, z축)을 45° 회전시키는 역할을 한다 (Inner DC는 이온의 이동과 무관하며, 본 논문에서 전위 우물의 생성을 위해 결정하는 DC 전압 세트는 전부 Control DC 전극에 인가되는 전압을 의미).

그림 2는 Kielpinski 등이 2002년에 제안한 대규모 이온트랩의 개념도이다^[9]. 대규모 이온트랩은 다수의 평면 이온트랩이 집적된 구조로 논리 회로의 구현을 위해 정보의 저장 영역, 계산 영역 등으로 나누어지고, 정보를 가진 이온이 각 영역 사이를 이동하는데, 대규모 이온트랩은 선형 이온트랩이 교차하는 X형, Y형 교차점 영역을 반드시 포함한다. 이온트랩 상에 포획된 이온을 손실하지 않고 안정적으로 이동시키려면 이온을 이동시키는 전위 우물의 형상이 보존될 필요가 있다. 그러나 선형 이온트랩이 교차하는 X-교차점 영역은 RF pseudopotential의 왜곡에 의해 전위 장벽(potential barrier)의 크기 및 이온 이동 경로의 높이 변화량이 급격히 증가하는데, 이는 이온 가열 및 이온 손실 가능성을 높인다. 따라서 전위 장벽의 크기 및 이온 이동 경로의 높이 변화량을 감소시키도록 RF 전

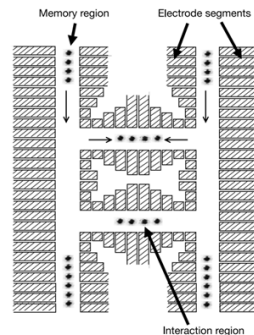


그림 2. 대규모 확장 이온트랩의 개념도[9]
Fig. 2. Diagram of the quantum charge-coupled device (QCCD)[9]

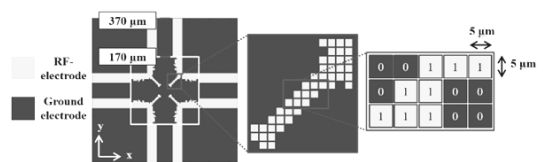


그림 3. 정사각형 세그먼트로 구성된 RF-전극의 개념도[10]
Fig. 3. Conceptual diagram of an RF-electrode composed of square segments[10]

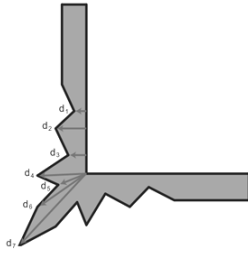


그림 4. GTRI 그룹의 RF 전극 설계 방식을 나타내는 개념도[7]
 Fig. 4. Conceptual diagram showing the design method of RF electrode by GTRI group[7]

극의 구조를 결정하여 이온의 가열 및 손실 가능성을 낮출 필요가 있다. 그림 3은 바둑판 모양의 세그먼트로 나눈 RF 전극의 개념도이다. 본 연구에서 이용한 RF 전극 구조는 X-교차점 영역을 $5\ \mu\text{m} \times 5\ \mu\text{m}$ 크기의 정사각형 세그먼트들로 나누고 각 세그먼트에서의 전극 존재 유무로 전극 형상을 표현한 후, 유전 알고리즘을 적용하여 전위 장벽 및 이온 이동 경로의 높이 변화량을 감소시킨 구조이다^[10, 11].

본 논문에서 제안된 X-형 교차로 이온트랩 구조를 이용한 이온 포획 및 이동 실험은 향후 진행될 예정이며, 시뮬레이션을 통해 기존 X-형 교차로 이온트랩 구조와 성능을 비교하였다. 그림 4는 GTRI 그룹의 RF 전극 설계 방식을 나타내는 개념도이다^[7]. GTRI 그룹은 RF 전극에 7개의 임의의 지점을 정하고, 해당 지점에서의 RF 전극 폭의 길이를 변수로 정의한 뒤 유전 알고리즘을 적용하여 이온 가열을 감소시키는 방식을 제안했다. 표 1, 2는 직선형 RF 전극 구조, GTRI 그룹의 RF 전극 구조 및 서울대 그룹의 RF 전극 구조의 유사 전위 장벽의 크기와 이온 이동 경로의 높이 변화량을 비교한 표이다. 위 방식을 통해 설계한 서울대 그룹의 RF 전극은 단순 직선형 구조의 RF 전극에 비해 1/8배의 유사 전위 장벽의 크기, 1/4.3배의 이온 이동 경로의 높이 변화량을 보였으며, GTRI 그룹에서 설계한 RF 전극보다 유사 전위 장벽의 크기는 근소하게 작고, 이온 이동 경로의 높이 변화량은 근소하게 높았다.

그림 5는 상기 방식으로 결정된 RF 전극 구조를 이

표 1. X-junction trap의 RF-전극 구조에 따른 potential barrier 및 ion height 변화 비교
 Table. 1. Comparison of potential barrier and ion height change according to RF-electrode structure of X-junction trap

type of electrodes	design of RF electrodes	contour graph of RF pseudopotential	potential barrier graph of RF pseudopotential
straight RF electrodes			
RF electrodes of GTRI group			
RF electrodes of SNU group			

표 2. X-교차점 이온트랩의 RF 전극 구조에 따른 유사 전위장벽 및 이온 이동 경로의 높이 변화량 비교
Table 2. Comparison of the magnitude of pseudopotential barrier and the change of height of ion's moving path according to RF electrode structure of X-junction ion trap

type of electrodes	magnitude of RF pseudopotential barrier (eV)	variation of ion height (μm)
straight RF electrodes	18.75×10^{-2}	33.83
RF electrodes of GTRI group	2.52×10^{-2}	7.50
RF electrodes of SNU group	2.33×10^{-2}	7.83

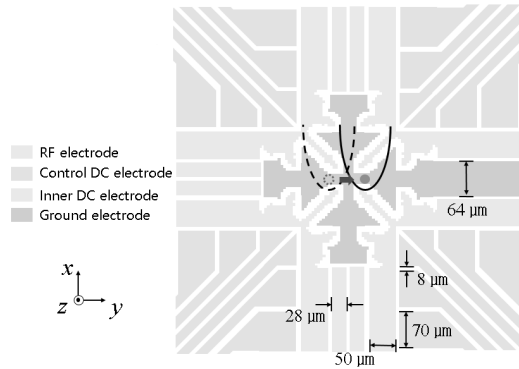


그림 5. 이온트랩의 교차로 영역의 전극 분포 및 교차로 영역을 통과하는 전위 우물
Fig. 5. An electrode distribution in the intersection area of the ion trap and a conceptual diagram of the potential well passing through the intersection area

용한 이온트랩의 교차로 영역 및 해당 영역을 통과하는 전위 우물을 나타낸 그림이다. RF 전극의 외곽에는 24개의 control DC 전극을 배치하고, 내곽에는 Inner DC 전극 6개와 ground 전극을 배치했다. Control DC 전극의 개수가 많을수록 DC 전압 세트에 의해서 생성되는 전위 우물의 형태를 조절하는 변수의 개수가 많아지므로 생성되는 전위 우물이 이상적 형태에 가까워진다. 그러나 이온트랩 실험에서 이용할 DAC 8734(텍사스인스트루먼트, 델러스, 미국)의 input 개수가 32개라는 제약이 존재하며, 그중 Inner DC 전극에 할당되는 6개를 제외하면 26개의 여유 input이 존재한다. Control DC 전극은 x축, y축을 기준으로 동시에 대칭 구조일 경우, y축 방향으로 이온을 이동시킬 수 있는 DC 전압 세트를 이용하여, x축 방향으로도 이온을 이동시킬 수 있는 이점이 있으므로 Control DC 전극의 개수를 24개로 결정하였다. X-교차 영역의 중심에 포획된 이온을 그림 5의 y축 방향으로 이동시키기 위해 사용한 DC 전압 세트 전체를 시계방향으로 회전시킨 후 입력을 가해주면 x축의 방향으로 이온을 이동시킬 수 있다.

그림 6은 X-교차점 평면 이온트랩 횡단면의 개념도이다. 본 연구에서 이용한 이온트랩은 MEMS공정

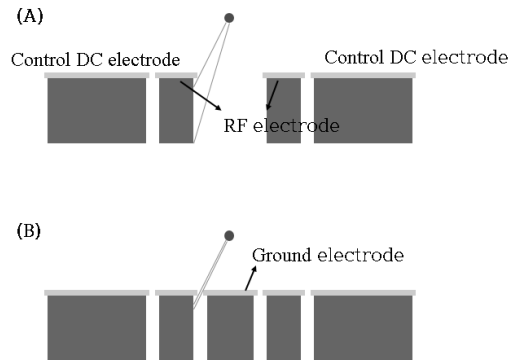


그림 6. X 교차점 평면 이온트랩의 횡단면 개념도 (A) ground plane이 없을 경우의 이온트랩, (B) ground plane이 있을 경우의 이온트랩
Fig. 6. Sectional view of X-junction ion trap (A) in the absence of a ground plane, (B) in the presence of a ground plane

을 이용하여 실리콘 substrate 위에 절연층 기둥을 증착하여 전극을 지탱하는 구조로 가정되었으며, 만약 절연층의 측벽 부위에 축적된 전하가 포획된 이온에 노출된다면 이온 포획 실험에 영향을 줄 수 있다⁵⁾. 따라서 절연층 측벽이 포획된 이온에 노출되는 부위를 최소화하기 위해 RF 전극의 내곽의 영역 중 Inner DC가 존재하지 않는 공간에 ground plane을 배치하였다. 각 전극 사이의 간격은 전극간의 breakdown이 발생하지 않는 범위에서 충분히 가까운 8~10 μm 로 하였다.

III. DC 인가 전압의 결정

Control DC 전극에 인가되는 전압에 의한 전기장 분석을 위해 유한요소법(finite element method, FEM) 기반 소프트웨어인 COMSOL을 이용하여 각 DC 전극에 1 V 를 인가했을 때 이온트랩의 주변에 형성되는 전압 분포를 개별적으로 추출한다. 식 (1)는 임의의 DC 인가 전압 세트에 의해 형성되는 전위 분포 $\Phi(x, y, z)$ 를 9개의 항과 3종류의 변수(x,y,z)로 구성된 2차 함수로 표현한 식이다. 각 DC 전극에 1V의 전압이 가해질 때 생성되는 전기장 함수에 실제 인가

되는 전압을 곱한 후 이들의 합을 취하여 N개(DC 전극 개수, 본 연구에서는 N=24)의 DC 전극에 특정 전압 세트가 인가될 때 이온트랩 주변에 형성되는 전체 전압 분포를 2차 함수로 표현 할 수 있다^[12].

$$\begin{aligned} \Phi(x, y, z) &= \sum_i^N V_i \Phi_i(x, y, z) \\ &= \sum_i^N V_i (a_i x^2 + b_i y^2 + c_i z^2 + d_i xy + e_i yz + f_i zx + g_i x + h_i y + i_i z + j_i) \\ &= ax^2 + by^2 + cz^2 + dxy + eyz + fzx + gx + hy + iz + j \end{aligned} \quad (1)$$

여기서 V_i 는 각 DC 전극에 인가되는 전압을 나타내고 Φ_i 은 각 DC 전극에 1V의 전압이 가해질 때 발생하는 전위 분포를 나타내며, a_i, b_i, \dots, j_i 는 전위 분포의 형태(전위 우물의 모양)를 나타내기 위한 상수이다. 이 상수들은 FEM 시뮬레이션을 통해 얻은 전위 분포를 axial 축방향에 따른 2차 함수로 fitting하여 구한 계수들이다. 원하는 형태의 전위 우물을 생성시킬 수 있는 DC 인가 전압 세트를 찾기 위해서 식 (1)을 행렬로 나타내면 식 (2)와 같다^[12,13].

$$\begin{matrix} \text{행렬 A} & \text{행렬 B} & \text{행렬 C} \\ \left(\begin{matrix} a_1 & a_2 & \dots & \dots & a_N \\ b_1 & b_2 & \dots & \dots & b_N \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ j_1 & j_2 & \dots & \dots & j_N \end{matrix} \right) & \left(\begin{matrix} V_1 \\ V_2 \\ \vdots \\ \vdots \\ V_N \end{matrix} \right) & = & \left(\begin{matrix} a \\ b \\ \vdots \\ \vdots \\ j \end{matrix} \right) \end{matrix} \quad (2)$$

식 (2)의 행렬 A는 10행 N열의 형태로 N개의 각 DC 전극이 1V의 전압을 가질 때 생성되는 전압 분포 함수의 계수들로 구성된 행렬이고, 각 전극에 인가되는 전압 행렬(행렬 B)과의 행렬곱 연산을 통해 최종적으로 전위 우물의 형태(행렬 C)를 결정하게 된다. 행렬 C의 값은 실제 이온트랩 실험에서 안정적으로 이온을 포획한 전위 우물 함수의 계수이다. 행렬 A, C의 값을 FEM 시뮬레이션을 통해 추출한 후 양 변에 행렬 A의 역행렬을 곱하여 행렬 B의 값을 구할 수 있다. 이 때 행렬 A는 무수히 많은 역행렬을 가지지만, 최종 solution인 행렬 B의 각 인수의 제공의 합을 최소화시키는 유일한 역행렬 A^{-1} 를 결정하도록 제한 조건을 설정하여, 24개의 DC 전극에 인가되는 전압 크기의 합이 최소화된 unique solution을 추출 할 수 있다. 이 방식을 적용하여 이온 이동 경로 상의 임의의 위치를 지정하면 그 위치에서 특정 형태의 전위 우물을 생성

하는 DC 인가 전압 세트를 계산 할 수 있다^[13].

IV. 결과 분석

그림 7은 축방향으로 이동하는 전위 우물의 개념도이다. 본 방식으로 결정한 DC 인가 전압 세트는 axial 방향의 좌표값에 해당하는 unique solution이 존재하며, 표 3에 전위 우물이 축방향으로 각각 -40 μm , 0 μm , 40 μm , 80 μm 에 위치할 때 24개의 각 DC 전극에 가해지는 전압의 크기를 나타냈다. 그림 8은 전위 우물의 위치에 따른 DC 전압 세트의 변화를 나타낸 그래프이다. 특정 형태의 전위 우물이 X형 교차로 이동 구간의 임의의 위치에서 그 형태를 유지 할 수 있는 DC 인가 전압 세트를 추출하여 이온을 안정적으로 이동

표 3. 전위 우물의 축방향 위치에 따른 DC 인가 전압 세트 (단위: V)
Table 3. Comparison of the magnitude of pseudopotential barrier and the change of height of ion's moving path according to RF electrode structure of X-junction ion trap (Unit: V)

	y = -40 μm	y = 0 μm	y = 40 μm	y = 80 μm
L1	17.6	21.5	17.6	-1.4
L2	14.6	21.5	17.6	25.2
L3	-17.6	-12.2	-17.0	-25.2
L4	-17.6	-21.5	-17.6	23.4
L5	-17.6	-10.5	-5.9	-25.2
L6	17.6	2.3	17.6	-25.2
L7	17.6	2.3	17.6	25.2
L8	-5.9	-10.5	-17.6	-25.2
L9	-17.6	-21.5	-17.6	-25.2
L10	-16.9	-12.2	-17.6	-25.2
L11	17.6	21.5	14.6	25.2
L12	17.6	21.5	17.6	25.2
R1	17.6	7.3	-15.9	-25.2
R2	-9.1	21.5	17.6	12.1
R3	17.6	17.0	11.5	10.3
R4	4.6	-21.5	-17.6	-22.5
R5	-17.6	-21.5	-17.6	-21.3
R6	-13.7	-21.5	-17.6	18.9
R7	-17.6	-21.5	-13.7	25.2
R8	-17.6	-21.5	-17.6	-25.2
R9	-17.6	-21.5	4.6	-25.2
R10	11.5	17.0	17.6	-2.7
R11	17.6	21.5	-9.1	25.2
R12	-15.9	7.3	17.6	25.2

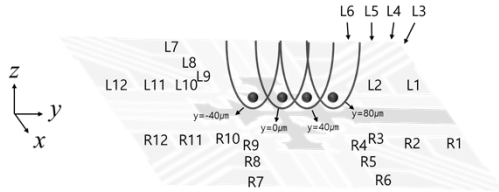


그림 7. 축방향으로 이동하는 전위 우물 (단위: V)
 Fig. 7. Potential well moving in the axial direction (unit: V)

시킬 수 있다. 그림 9은 본 논문에서 제시한 방법을 이용하여 생성시킨 전위 우물의 위치에 따른 그 형태 및 생성하고자 하는 이상적 형태의 전위 우물(goal)과 비교한 그래프이다. 전위 우물의 중심부를 기준으로 $\pm 50 \mu\text{m}$ 내의 구간에서 이상적 형태의 전위 우물의 전압 값과 본 논문의 방식을 이용하여 생성시킨 전위 우물의 전압 값의 차이의 평균을 계산한 결과, $y = -40 \mu\text{m}$, $0 \mu\text{m}$, $40 \mu\text{m}$, $80 \mu\text{m}$ 위치에 생성시킨 전위 우물은 평균적으로 각각 -6.09%, -5.94%, -6.09%, -5.98%의 오차를 보였다.

V. 결론

본 논문에서는 X형 교차로 이온트랩의 축방향을 따라 특정 형태의 전위 우물을 이동시키는 것이 가능한 DC 인가 전압 세트의 추출 방법을 제안했다. 본 방법을 이용하여 특정 형태의 전위 우물이 X형 교차로 이동 구간의 임의의 위치에서 그 형태를 유지할 수 있다. 따라서 X형 교차로 영역을 통과하는 이온 손실의 가능성을 줄이고 이온을 안정적으로 이동시킬 수 있을 것으로 기대된다. 해당 설계 방법은 평면 이

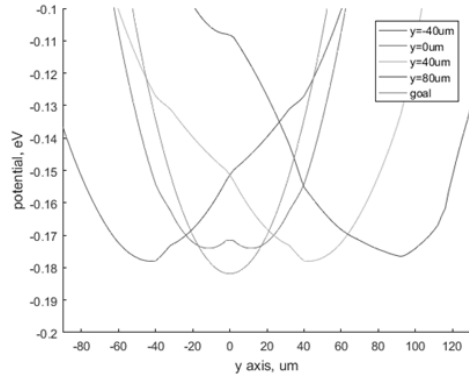


그림 9. 전위 우물의 이동 및 형태 ($x = 0 \mu\text{m}$, $-40 \mu\text{m} \leq y \leq 80 \mu\text{m}$, $z = 84.5 \mu\text{m}$)
 Fig. 9. Movement and shape of potential well ($x = 0 \mu\text{m}$, $-40 \mu\text{m} \leq y \leq 80 \mu\text{m}$, $z = 84.5 \mu\text{m}$)

온트랩 칩 상에 포획된 이온이 교차로 영역을 통과하는 이온 이동 실험에 적용될 수 있다.

References

[1] Y. Park, M. Lee, S. Hong, C. Jung, J. Cheong, T. Kim, Y. Kwon, and D. Cho, "Deisgn of DC voltage sets for minimizing ion losses while transporting ions via junction nodes on a surface ion trap chip," in *Proc. KICS Winter Conf.*, pp. 17-18, Jeongseon, Korea, Jan. 2018.

[2] D. Cho, S. Hong, M. Lee, and T. Kim, "A review of silicon microfabricated ion traps for quantum information processing," *Micro and*

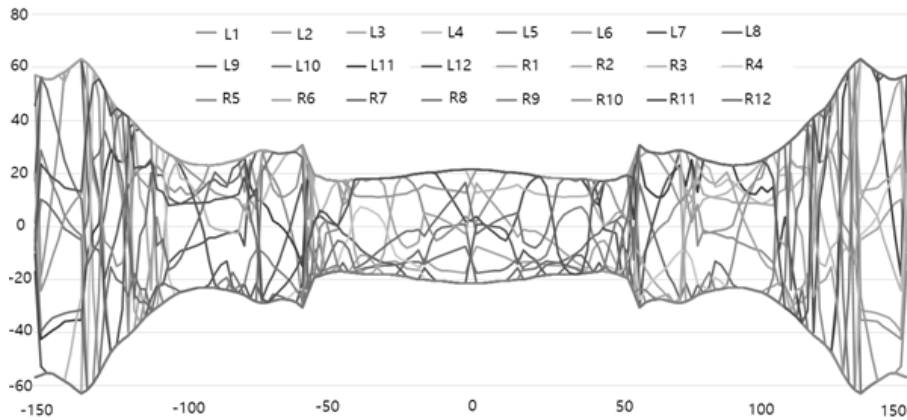


그림 8. 전위 우물의 위치에 따른 DC 인가 전압 세트의 연속적 변화 그래프
 Fig. 8. Continuous change of DC voltage set when the potential well move in axial direction

- Nano Syst. Lett.*, vol. 3, no. 1, pp. 1-12, Apr. 2015.
- [3] S. Hong, M. Lee, H. Cheon, T. Kim, and D. Cho, "Guidelines for designing surface ion traps using the boundary element method," *Sensors*, vol. 16, no. 5, pp. 616, Apr. 2016.
- [4] S. Hong, M. Lee, Y. Kwon, D. Cho, and T. Kim, "Experimental methods for trapping ions using microfabricated surface ion traps," *J. Visualized Experiments*, Exp. 126, e56060, Aug. 2017.
- [5] S. Hong, Y. Kwon, C. Jung, M. Lee, T. Kim, and D. Cho, "A new microfabrication method for ion-trap chips that reduces exposure of dielectric surfaces to trapped ions," *J. Microelectromechanical Syst.*, vol. 27, no. 1, pp. 28-30, Nov. 2017.
- [6] G. Shu, G. Vittorini, A. Buikema, C. S. Nichols, C. Volin, D. Stick, and K. R. Brown, "Heating rates and ion-motion control in a Y-junction surface-electrode trap," *Physical Rev. A*, vol. 89, pp. 062308, Jun. 2014.
- [7] K. Wright, J. Amini, D. Faircloth, C. Volin, S. Doret, H. Hayden, C-S Pai, D. Landgren, D. Denison, and T. Killian, "Reliable transport through a microfabricated X-junction surface-electrode ion trap," *New J. Physics*, vol. 15, no. 3, pp. 033004, Mar. 2013.
- [8] S. Hong, "A silicon surface ion-trap chip with dielectric sidewalls shielded by metal films," Ph.D. dissertation, Dept. of Electrical & Comput. Eng., Seoul National Univ., Seoul, Korea, 2017.
- [9] D. Kielpinski, C. Monroe, and D. J. Wineland, "Architecture for a large-scale ion-trap quantum computer," *Nature*, vol. 417, pp. 709-711, Jun. 2002.
- [10] Y. Park, M. Lee, S. Hong, C. Jung, J. Oh, T. Kim, Y. Kwon, and D. Cho, "Optimizing pseudopotential barrier in X-Junction ion traps using genetic algorithm," *The 32th ICROS Annu. Conf.*, Sokcho, Korea, May 2017.
- [11] Y. Park, M. Lee, J. Park, S. Hong, C. Jung, Y. Kwon, J. Ahn, T. Kim, and D. Cho, "RF-Electrode design technique using genetic algorithm in X-Junction surface ion traps," *2016 KPS Fall meeting*, Gwangju, Korea, Oct. 2016.
- [12] D. Allcock, J. Sherman, D. Stacey, A. Burrell, M. Curtis, G. Imreh, N. Linke, D. Szwer, S. Webster, A. Steane, and D. Lucas, "Implementation of a symmetric surface. electrode ion trap with field compensation using a modulated Raman effect," *New J. Physics*, vol. 12, no. 5, p. 053026, May 2010.
- [13] Y. Park, S. Hong, M. Lee, C. Jung, and D. Cho, "Design method of DC voltages for position control of trapped ions," *The 31th ICROS Annu. Conf.*, Seoul, Korea, Mar. 2016.

박 윤 재 (Yun-Jae Park)



2012년 2월 : 건국대학교 전자공학과 졸업
 2015년 3월~현재 : 서울대학교 전기정보공학부 석박사통합과정
 <관심분야> 양자정보통신, 이온트랩, MEMS

이 민 재 (Min-Jae Lee)



2012년 2월 : 서울대학교 전기공학과 졸업
 2012년 3월~현재 : 서울대학교 전기정보공학부 석박사통합과정
 <관심분야> 양자정보통신, 이온트랩, MEMS

홍 석 준 (Seok-Jun Hong)



2009년 8월 : 서울대학교 전기
공학과 졸업
2011년 8월 : 서울대학교 전기
공학과 석사
2017년 8월 : 서울대학교 전기
정보공학부 박사
2017년 8월~2018년 2월 : 서울
대학교 박사후 연구원

2018년 3월~현재 : University of Sussex 박사후 연
구원

<관심분야> 양자정보통신, 이온트랩, MEMS

정 창 현 (Chang-Hyun Jung)



2016년 2월 : 경희대학교 정보
디스플레이학과
2016년 3월~현재 : 서울대학교
전기정보공학부 석박사통합
과정
<관심분야> 양자정보통신, 이
온트랩, MEMS

정 준 호 (Jun-Ho Choeng)



2016년 2월 : 동국대학교 전자
공학과 졸업
2017년 3월~현재 : 서울대학교
전기정보공학부 석박사통합
과정
<관심분야> 양자정보통신, 이
온트랩, MEMS

김 태 현 (Tae-Hyun Kim)



1995년 2월 : 서울대학교 컴퓨
터공학과 졸업
1997년 2월 : 서울대학교 제어
계측공학과 석사
1997년 3월~2000년 6월 : 공군
사관학교 전산통계학과 강사
/전임강사

2008년 5월 : Massachusetts Institute of Technology
물리학과 박사

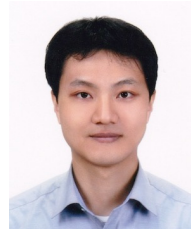
2008년 6월~2011년 8월 : Duke University 박사후
연구원

2011년 9월~2018년 8월 : SKT Quantum Tech.
Lab.

2018년 9월 : 서울대학교 컴퓨터공학부 부교수

<관심분야> 양자정보통신, 이온트랩

권 영 대 (Yeong-Dae kwon)



2007년 6월 : Princeton Unive
rsity 물리학과 졸업
2014년 4월 : Stanford Unive
rsity 물리학 박사
2013년 11월~2016년 10월 : 서
울대학교 박사후 연구원
2016년 11월~현재 : SKT Qua
ntum Tech. Lab.

<관심분야> 양자정보통신, 이온트랩

조 동 일 (Dong-II Cho)



1980년 12월 : Carnegie Mellon
University 기계공학과 졸업
1984년 6월 : Massachusetts Ins
titute of Technology 기계공
학 석사
1988년 2월 : Massachusetts Ins
titute of Technology 기계공
학 박사

1987년 9월~1993년 8월 : Princeton University 기계항
공우주공학과 조교수

1993년 8월~현재 : 서울대학교 전기정보공학부 조교수
/부교수/교수

<관심분야> 제어공학, 이온트랩, MEMS