

광통신 시스템을 위한 100Gb/s 광트랜시버 펌웨어 설계 및 구현

김재우*, 김동성°, 김승환*, 신상문**

Design and Implementation of 100Gb/s Optical Transceiver Firmware for Optical Communication System

Jae-Woo Kim*, Dong-Seong Kim°, Seung-Hwan Kim*, Sang-Moon Shin**

요약

본 논문에서는 광통신 시스템을 위한 100G 광트랜시버(CFP, C form-factor pluggable) 펌웨어 설계 기술을 제안한다. 제안하는 기법은 100G 광트랜시버 산업체 표준에 만족하도록 설계 및 구현하였다. 제안된 기법은 CFP 통신 인터페이스와 표준 메모리 설계를 위해 FPGA를 사용하였고, CFP의 구동 및 상태 관리를 위해 MCU를 사용하여 구현하였다. 제안된 설계 기법에 따라 구현된 펌웨어를 검증하기 위해 실제 테스트 베드를 구성하였고, 성능 검증을 통해 제안된 기법의 효용성을 검증하였다. 제안된 기법은 향후 200/400G CFP 타입 광트랜시버에도 적용할 수 있다.

Key Words : CFP, Optical Transceiver, Firmware design, MSA Standard, FPGA, MCU

ABSTRACT

In this paper, an efficient firmware design scheme is proposed for 100G CFP(C form-factor pluggable) optical transceiver based on MSA(Multi-Source Agreement) standard for Optical Transceiver. The proposed method uses FPGA approach to design for integration of CFP communication interface and register structure, and uses MCU to implement the operation function of CFP optical transceiver. In order to verify the implemented firmware according to the proposed design scheme, a real TestBed was constructed and verified the effectiveness through performance verification. It is expected that the proposed scheme can be applied to type of the 200/400G CFP optical transceiver in the future.

※ 본 연구는 2019년도 정부(교육과학기술부)의 재원으로 한국연구재단의 대학중점연구소 지원사업으로 수행된 연구결과임 (2018R1A6A1A03024003)

※ 본 연구는 한국연구재단의 중견연구과제로 수행된 연구결과임 (NO. NRF-2017R1A2B4009900).

• First Author : (ORCID:0000-0002-2622-4219)ICT Convergence Research Center, Kumoh National Institute of Technology, jaewookim@kumoh.ac.kr, 정희원

° Corresponding Author : (ORCID:0000-0002-2977-5964)ICT Convergence Research Center, Kumoh National Institute of Technology, dskim@kumoh.ac.kr, 중신희원

* (ORCID:0000-0002-4118-8703)ICT Convergence Research Center, Kumoh National Institute of Technology, ksh001@kumoh.ac.kr

** (ORCID:0000-0002-4150-0998)ARTECH Co., Ltd, sangmoon-shin@artech200.com

논문번호 : 201812-393-D-RN, Received December 20, 2018; Revised January 9, 2019; Accepted January 11, 2019

I. 서 론

최근 스마트기기 및 지능형 IoT 장치 등 IT기기 보급 확대와 5G 기술 출현을 통한 통합형 모바일 서비스 수요증가로 급격하게 트래픽이 증가하여 이를 수용할 수 있는 통신망이 요구되어진다.^[1-6] 5G는 초당 최고 20Gbits와 1km²당 100만대의 기기연결이 가능하게 하는 기술로 국제전기통신연합(ITU)에서 2020년 2월 국제표준기술로 승인 및 상용화를 앞두고 있다. 전문조사기관에 의한 2015-2020년 트래픽 증가관련 전망에 따르면 2015년 42,372 PB(PetaByte)에서 2020년 133,454 PB로 연평균 26% 트래픽이 증가할 것으로 예상되며^[7] 이를 통해 급증하는 트래픽을 효율적 수용하기 위해 코어망 영역에서 광통신 기술이 적용된 높은 대역폭을 가지는 광전달망의 역할이 중요한 것을 볼 수 있다.^[8-10] 또한 국내에도 광전달망에서 100Gbps급 데이터를 전달하기 위한 기술이 연구되었다.^[11]

광트랜시버는 라우터 및 스위치를 통해 받은 전기신호를 광신호로 변환시켜 광섬유를 통해 전송하고 수신된 광신호를 다시 전기신호로 변환하는 모듈이다. 광전달망에서 상용화된 일반적인 광트랜시버는 채널당 10Gbps 또는 25Gbps의 전송속도를 통해 100Gbps를 지원하며, 더 나아가 400Gbps 이상까지 지원이 가능한 광트랜시버를 한국전자통신연구원 등에서 연구 및 개발 중에 있다.^[12-15]

CFP는 100Gbps 이상의 데이터 장거리 전송을 위해 사용되는 광트랜시버이다. CFP-MSA 표준은 CFP 제조사의 품질보장과 비용 절감 등을 위해 물리적/전기적 규격 및 제어 및 운용관리 방법에 대한 산업체 표준이다.^[16,17] CFP 펌웨어의 역할은 표준에 따라 메모리를 구성하고 정보를 업데이트하여 CFP상태 모니터링 및 CFP 제어가 가능하게 하는 역할을 한다. 또 외부 호스트 컨트롤러와 CFP사이 통신을 통해 CFP의 상태를 전달하고 동작에 대한 제어 명령을 받을 수 있도록 한다.

기존의 CFP제조사에서 설계되는 각각의 펌웨어는 산업체 표준을 기반으로 하여 설계되고 있지만 자세한 설계 기법에 대해서는 공개하지 않고 있으며, CFP 설계 기술에 대한 기존 연구는 광소자와 PCB(Printed Circuit Board)설계기술과 같이 하드웨어 기술 연구가 활발히 진행되고 있으나 CFP운영을 위한 펌웨어 설계기술에 대한 연구는 미비한 수준이다.^[18,19] 한편 MCU IC 개발업체에서 CFP펌웨어 설계를 위해 주요 인터페이스가 내장된 IC를 출시하며 구현 가이드를

제공하지만 CFP와 호스트 인터페이스 기능만 제공할 뿐 광트랜시버 전체 운용에 대한 설계 기법을 제공하지 않고 있다.^[20] 따라서 새로운 제조사가 광트랜시버를 개발하기 위해서는 펌웨어 설계를 위한 개발기간 및 비용이 소요된다. 따라서 본 논문에서는 MSA 표준을 기반으로 CFP펌웨어 설계 기법에 대하여 제안하였다. 제안한 설계기법을 이용하여 CFP펌웨어를 구현함으로써 품질보장과 비용 절감 등 개발기간 단축의 효과를 기대할 수 있다.

본 논문 II장에서는 펌웨어 설계를 위해 MSA 표준을 분석하여 요구 사항을 도출하였고 III장에서는 분석된 MSA 표준을 기반한 CFP 펌웨어 설계 방법과 구현에 대해 기술하였으며 IV장에서는 성능 검증을 위한 테스트베드 구축 과 성능 결과를 분석해 본다. V장에서는 결론 및 향후 연구에 대해 논의하였다.

II. CFP-MSA 요구사항

본 장에서는 CFP펌웨어를 설계하기 위해 CFP-MSA 표준문서^[16] 분석과 CFP 요구조건을 나타내었다. MSA 표준문서는 CFP관리 인터페이스와 CFP 레지스터 그리고 CFP제어 및 모니터링으로 구성된다.

2.1 CFP 관리 인터페이스

그림 1은 CFP관리 인터페이스 구조이다. CFP 관리 인터페이스는 호스트와 CFP사이의 MDIO (Management Data Input Output)인터페이스와 MDIO 인터페이스 블록과 CFP 레지스터 간의 인터페이스, 그리고 내부 버스를 통해 CFP 레지스터, NVM (Non -Volatile Register), DDM (Digital Diagnostic Monitoring) 블록간의 인터페이스 즉 3가지로 구성되어 있다.

MDIO인터페이스는 외부 호스트와 CFP사이 통신

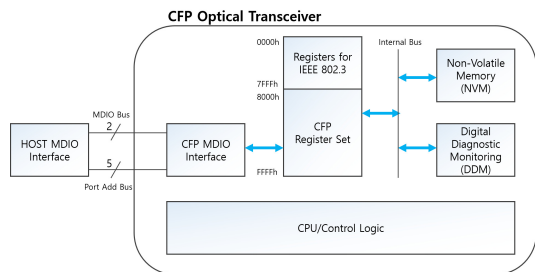


그림 1. CFP 관리 인터페이스
Fig. 1. CFP Management Interface Architecture

을 위한 인터페이스이다. MDIO 인터페이스의 자세한 동작은 IEEE 802.3ae 표준시방서^[21]에 설명하고 있다. MDIO 인터페이스는 MDC(Management Data Clock)와 MDIO 버스를 통해 MDIO의 고속 데이터 전송이 가능하도록 설계되어야 한다. CFP 레지스터의 NVR(Non Volatile Register)은 비휘발성 메모리인 ROM과 연결되어 ID와 CFP 설정에 관한 데이터를 저장하고 VR(Volatile Register)은 내부 버스를 통해서 외부 호스트의 요청명령을 수행하고 DDM 데이터를 전달해 주는 컨트롤 로직 장치에 연결되어야 한다. 호스트는 MDIO 인터페이스를 통해 CFP의 구동과 종료 그리고 일반적인 동작에 대한 모니터링 및 제어를 수행한다. CFP 내부 인터페이스에 대해서는 규격이 없으며 제조사가 임의대로 설계하여 사용이 가능하다.

2.2 CFP 레지스터

CFP 레지스터의 전체 공간은 16진수로 0x8000에서 0xFFFF를 가지며 CFP 레지스터 공간 할당과 접근 제어의 편의성을 위해 세부적으로 8 섹션으로 구분되고 각 섹션은 다시 32 테이블로 나누어진다. 그 중 8개의 테이블은 NVR에 할당되며 1-4번째 테이블에는 기본 ID 정보와 확장 ID 정보, 네트워크 채널 고유 정보 그리고 호스트 채널 고유정보를 저장한다. 5-6번째 테이블에는 CFP 제조사에서 필요한 정보를 저장할 수 있으며 7-8번째 테이블에는 사용자가 필요한 정보를 저장할 수 있다. 나머지 테이블은 VR에 할당되어 CFP 설정과 제어, 상태 그리고 DDM 정보를 저장할 수 있도록 구성해야 한다.

2.3 CFP 제어 및 모니터링

CFP 구동 및 관리를 위해 MSA 표준에서는 그림 2와 같이 CFP 상태 천이와 관련된 신호를 정의하였으며 초기 구동과 일반적 구동 그리고 종료에 따라 상태는 10가지로 전환되어야 한다.^[16] 10가지 상태 중 5가지 상태는 일시적인 상태를 나타내고 나머지 5가지 상태는 지속적인 상태를 나타낸다. 각각의 상태는 해당 신호가 인가되면 다음 상태로 천이되며 구체적으로 인가되는 신호에 대한 설명은 내용의 간결성을 위해 본 논문에서 생략한다. 처음 CFP는 리셋 상태로 시작하며 이때 모든 회로는 저전력 모드로 유지하며 다음 초기화 상태로 천이한다. 이때는 외부 호스트 컨트롤러와 통신이 단절되어 있으며 초기 구동을 위해 NVR의 데이터를 로드하여 VR에 초깃값으로 적용한다. 실패 시 장애 상태 또는 저전력 상태로 진입한다. 저전력 상태에서는 MDIO 인터페이스와 제어 회로가

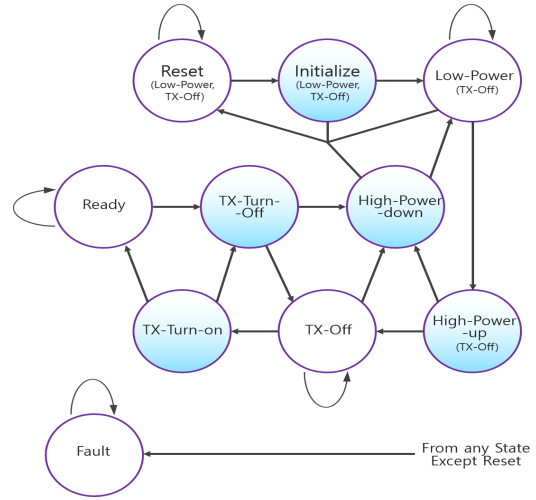


그림 2. CFP 상태 천이 다이어그램
Fig. 2. CFP State Transition Diagram

정상 동작 준비가 되었음을 확인하고 CFP 상태 메모리 값과 제어신호에 따라 고전원인가 상태로 진입한다. 이때 모든 회로가 정상적으로 동작이 가능하고 안정화 된 후 송신비활성 상태로 진입한다. 송신비활성 상태는 네트워크 채널을 사용하는 광송신기의 전원이 공급되지 않고 있는 상태이며 이후 광송신기 전원 공급 상태로 천이된다. 이 때 CFP는 레지스터에 있는 설정에 따라 채널을 사용할지를 결정하고 사용되지 않는 채널은 다음 동일한 상태로 진입할 때까지 유지된다. 이후 CFP는 최종적으로 준비 상태로 천이되며 데이터 전송이 이루어진다. 호스트의 요청에 따라 CFP는 저전력 모드 진입 또는 재부팅 될 수 있다. 저전력 모드요청일 경우 송신차단 상태로 전환되어 모든 채널을 닫게 되고 고전원 차단 상태를 거쳐 저전력 상태로 진입한다. 여기서 CFP는 모든 회로에서 소모되는 전력은 2W 이하로 다운시키고 MDIO 인터페이스 기능만 동작하도록 유지시켜야한다. 마지막으로 Fault 상태는 CFP의 영구적 손상을 막기 위해 저전력 모드로 유지해야 하며 복구를 위하여 MDIO 인터페이스와 DDM기능은 정상 동작이 되어야 한다.

III. CFP 펌웨어 설계 기법

3.1 전체 구조 설계

CFP 펌웨어는 CFP 하드웨어 보드에 포팅 되어 동작된다. 따라서 본 절에서는 펌웨어 설계기법을 적용하기 위한 CFP의 전체 하드웨어 구조를 정의한다. 그림 3은 전체 하드웨어 구조 블록도이다.

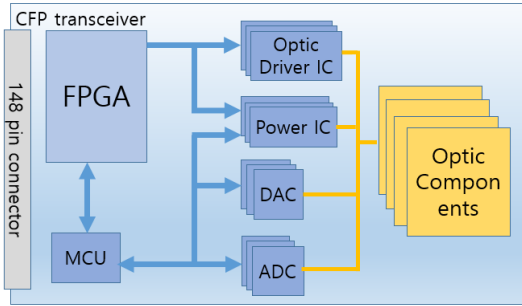


그림 3. CFP 블록 다이어그램
Fig. 3. CFP Block Diagram

제안하는 펌웨어 설계기법은 CFP의 MDIO 인터페이스와 표준 메모리 구성을 위해 FPGA 칩을 사용한다. FPGA사용을 통해 다수의 서브 블록을 단일 칩에 구현하여 설계 공간을 최소화하였다. 또한 CFP운영 및 관리기능을 위해 저가의 신뢰성 있는 MCU를 사용하였다. CFP펌웨어가 제어해야 하는 채널은 최대 16개이다. 따라서 16개 채널에 대한 제어와 모니터링을 구현하기 위해서 많은 수의 ADC와 DAC가 내장된 MCU를 사용하여야 한다. 본 논문에서 제안하는 설계 구조는 ADC와 DAC를 외부로 구성하고 MCU는 통신 인터페이스를 통해 ADC, DAC를 제어함으로써 채널확장성과 펌웨어 안정성을 확보하였다. 또한 CFP 성능에 따라 적합한 ADC, DAC IC를 선택할 수 있도록 하였다.

Optic Driver IC는 광트랜시버의 고속의 데이터에 대한 광진/전광 변환을 위한 필수 IC이다. Optic Driver IC에는 광송신 신호를 만들어 내는 Laser Driver IC와, 광수신부의 신호를 증폭시키는 Limiting Amplifier IC가 있으며 송수신된 신호를 복구하기 위한 CDR(Clock and Data Recovery)IC가 있다. 대부분의 IC 제조사들은 통신 인터페이스와 메모리맵을 제공하여 IC를 제어하도록 설계하고 있으며 필요한 채널 수에 따라 여러 개의 Optic Driver IC가 필요하다. Optical Driver IC로 모니터링 되는 상태 신호는 빠르게 CFP 표준 메모리에 업데이트되어야 하기 때문에 CPU를 거치지 않고 FPGA를 통하여 고속으로 처리되도록 설계하였다.

3.2 FPGA 설계

그림 4는 FPGA 내부 기능 블록도이다. FPGA의 세부기능에는 호스트와 통신하는 MDIO 인터페이스 기능, CFP 표준메모리구성 및 접근기능, CFP 하드웨어 핀 제어 기능, CFP 전원제어 기능이 있다. FPGA

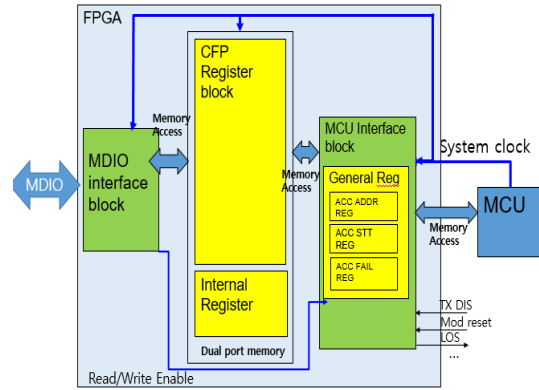


그림 4. FPGA 블록 다이어그램
Fig. 4. FPGA Block Diagram

구동을 위한 모든 클럭은 MCU로부터 입력되며 클럭 속도는 48MHz 설정하였다. FPGA 구동 클럭은 호스트와 통신하는 FPGA내의 MDIO 인터페이스와, FPGA와 MCU 간의 통신, 그리고 FPGA 내부 블록들 간의 정보 전달을 위한 클럭으로 사용된다. FPGA의 MDIO 인터페이스는 MDIO 슬레이브 모드로 동작되도록 구현되었다. 호스트에 의해 설정된 물리 주소에 의해서 데이터 접근(Write/ Read)기능이 가능하도록 설계되었다. FPGA의 레지스터는 크게 2가지 레지스터 세트로 구성된다. 첫 번째는 CFP 표준메모리를 나타내는 CFP레지스터로 CFP-MSA 표준메모리 맵에 따라 구현되었으며 외부 호스트는 MDIO 인터페이스를 이용하여 CFP 레지스터를 접근한다.

두 번째는 FPGA 내부 레지스터로써 MCU 및 주변 IC와 통신하여 CFP 제어에 필요한 기능을 수행하기 위해 추가 메모리맵을 구성하였다. MCU는 내부 레지스터를 이용하여 외부 호스트의 CFP 제어 요청을 모니터링하고 CFP 동작에 반영한다. 표 1은 추가 레지스터 메모리맵의 일부이다. 10010번지부터 10017까지는 CFP 하드웨어 핀 관련 제어 레지스터이며 10018번지는 전원제어 관련 레지스터이다. 추가로 CFP 내부 IC 제어 관련 레지스터가 있지만 지면의 제한으로 생략하였다. MCU 인터페이스 블록은 FPGA와 MCU 사이의 인터페이스로 MCU로부터의 요청에 응답한다. 또한 일반 레지스터를 구현하여 MDIO 인터페이스 블록으로부터 업데이트되어 현재 CFP 레지스터 접근정보와 MDIO인터페이스의 상태를 MCU가 모니터링 할 수 있도록 설계하였다.

메모리 읽기/쓰기 관리를 위해 FPGA 내에서 CFP 레지스터 영역에 대해 듀얼 포트 메모리를 이용하여 섀도우 메모리(Shadow Memory)를 구현하였다. 듀얼

표 1. FPGA 내부 레지스터
Table 1. FPGA internal Register

Addr	Name	Function
10010	PRTADR_REG	PRTADR[4:0] Pin Strap value
10012	PRG_CNT_REG	PRG_CNT1~3 pin value
10013	CTRL_IN_REG	TX_DIS pin, MOD_LOPWR pin, MOD_RSTn pin value
10016	TXDIS	TX Disable for each channel
10017	CTRL_OUT_REG	RX_LOS pin setting GLB_ALMn pin setting
10018	POWER_REG	Internal CFP power switch

포트 메모리는 하나의 저장 공간을 두 개의 포트에서 각각 읽기/쓰기 접근을 할 수 있는 구조이다. 이러한 구조로 인하여 양쪽에서 동시에 접근할 경우, 메모리 내에 유효하지 않은 값이 쓰이게 될 수 있으며, 유효하지 않은 값을 읽게 될 수 있다. 이러한 문제를 해결하기 위해 호스트 인터페이스 측에 우선순위를 준다. 즉 호스트에서 접근 중에는 MCU가 CFP 레지스터를 접근하지 않아야 한다. 이를 구현하기 위해 FPGA 내부 레지스터에 접근 상태 레지스터를 구현하여 MCU는 접근하고자 하는 CFP 레지스터가 가동 상태인지 비가동 상태인지를 확인한 후 비가동 상태일 때만 작업을 수행하도록 하였다. 만일 MCU가 비가동 상태를 확인한 후 작업을 수행하는 동안 호스트로부터 접근이 시도되는 경우에는 FPGA에서 강제적으로 MCU의 쓰기 접근을 차단하고 이에 대한 정보를 MCU에 전달하여 MCU는 자신이 수행하고자 한 동작이 종료되었는지 확인할 수 있도록 설계하였다.

3.3 MCU 설계

CFP의 MCU로는 실리콘랩사의 8051 계열의 칩을 선정하였다. 8051은 산업분야에서 안전성을 확보하고 있으며 신뢰성 있는 라이브러리를 제공하고 있다. 8051은 외부 칩과 통신을 위해 SPI, SMBus 컴포넌트를 내장하고 있으며 최대 256kB의 플래시메모리를 지원한다. 필요한 기능에 따라 다양한 모델이 있으며, CFP 펌웨어 설계를 위해 가격과 필요한 컴포넌트를 고려하여 MCU 모델을 결정할 수 있다.

그림 5는 제안한 MCU 내부 기능 블록도 및 외부 인터페이스이다.

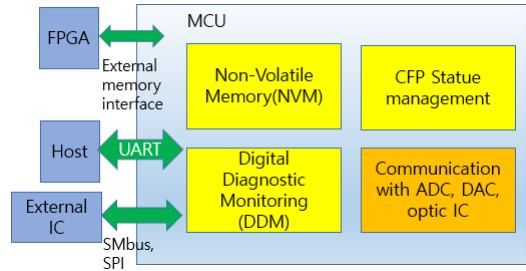


그림 5. MCU 기능 블록 다이어그램
Fig. 5. MCU function Block Diagram

3.3.1 NVM 기능

CFP는 CFP NVR, VENDOR NVR, USER NVR, 영역과 같이 비휘발성 메모리를 가진다. MCU의 플래시메모리의 일부를 NVR메모리를 위해 할당하고 값을 저장하도록 구현하였다. CFP에 전원이 인가되고 CFP 초기화 상태에서 MCU는 플래시메모리 영역의 값을 FPGA의 CFP레지스터에 업로드 하도록 구현하였다. 추가 VENDOR PRIVATE NVR 영역은 CFP 제조사에서 설계에 따라 임의로 사용할 수 있는 공간이다. 제안하는 펌웨어 설계기법에서는 CFP 광 컴포넌트 성능 최적화를 위한 세팅값, DDM 정확성을 위한 보정값, 그 외 프로그램 동작에 필요한 비휘발성 값들을 저장하기 위해 VENDOR PRIVATE 공간을 사용하였다.

3.3.2 DDM 기능

DDM 기능은 외부 ADC 칩으로부터 읽혀온 CFP 광 컴포넌트의 상태와 MCU 내부 센서에 의해서 읽힌 하드웨어 상태를 모니터링하는 기능이다. 외부 ADC를 통해서 읽힌 값은 각 채널당 송수신 광세기, 송신 바이어스 전류, 송신 컴포넌트 온도가 있고, 내부 MCU 센서 값은 온도와 전압이 있다. MCU가 ADC로부터 모니터링 한 값들은 해당 메모리에 업데이트 되도록 하였으며 이때 표준문서에 정의된 단위의 값으로 변환하여 업데이트한다. 특히 송수신 광세기 DDM의 경우 표준오차 범위를 벗어나지 않으면서 정확도를 높이기 위해 고차 다항식을 이용하여 DDM값을 계산하도록 설계하였다. 수신 광세기를 나타내는 DDM 수식은 수식(1)과 같다. $RXPWR_{(i)}$ 는 채널 i 에 대한 수신 광세기 DDM값이고 C_n 은 n 차수의 계수 값이며 m 차까지 계산을 수행한다. m 의 최대값은 4이다. A 는 ADC로부터 모니터링 된 값이며 $Offset(i)$ 는 각 채널의 오프셋을 나타낸다. 모든 계수값과 오프셋은 CFP VENDOR PRIVATE 메모

리에 할당하여 설정할 수 있도록 하였고, 이 때 각 차수의 계수 값과 오프셋은 부동 소수점 형식(IEEE 754)의 값으로 설정하고 계산 될 수 있도록 구현하였다. 또한 환경온도에 따른 DDM 오차를 줄이기 위해 LUT(Look Up Table)방식으로 DDM값을 보정한다.

$$RXPWR_{(i)} = \sum_{n=1}^m C_n A^n + Offset(i) \quad (1)$$

3.3.3 CFP 상태관리 기능

CFP 상태관리(CFP Status Management)은 2장에서 설명한 CFP 상태 천이에 따라 모듈을 운영하는 기능이다. 호스트에 요청되는 제어명령과 호스트 하드웨어 핀으로부터 설정된 제어에 따라 동작하도록 상태 천이 함수를 구현하였다.

3.3.4 IC 통신 인터페이스 기능

IC 통신 인터페이스는 MCU와 외부 칩과의 통신을 위한 통신 드라이버 기능이다. MCU는 ADC, DAC, FPGA 그리고 광 컴포넌트 IC 들을 제어한다.

표 2는 주변 IC와 MCU간의 통신 인터페이스이다. FPGA와 MCU 사이에는 고속의 데이터를 위해서 8051의 외부 메모리 접근 방식을 이용한다. 어드레스 버스와 데이터 버스, RD, WR 그리고 ALE(Address Latch Enable)를 이용하여 8051 MCU는 FPGA의 메모리를 접근한다. ADC와 DAC는 SPI(Serial Peripheral Interface)통신을 통해 정보를 주고받고, I2C 인터페이스를 제공하는 Optical Driver IC와는 8051에 내장된 SMBus(System Management Bus)를 이용하여 통신한다. 그리고 CFP 148pin 커넥터의 Vendor IO 핀을 이용하여 호스트와 MCU사이 UART통신을 구현하여 디버깅 및 CFP 값 설정을 용이하게 하도록 설계하였다.

그림 6은 MCU 프로그램 흐름도이다. 기본적으로 전원이 공급되거나 외부에서 리셋 신호가 들어온 경우, MCU는 프로그램 수행절차를 시작한다. 첫째

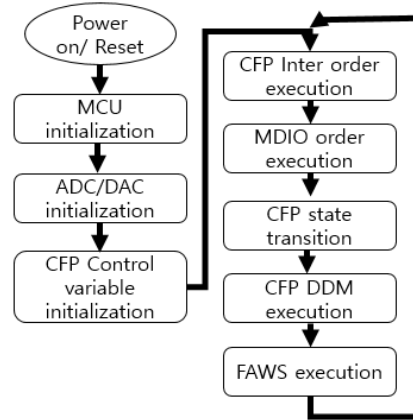


그림 6. MCU 프로그램 흐름도
Fig. 6. MCU Program Flow Chart

MCU 초기화 과정에서는 MCU 시스템 클럭 설정과, SMBus, SPI, UART, Timer 와 같은 MCU 주변 장치를 초기화한다. 이때 시스템 클럭에 의해 FPGA 구동이 시작된다. ADC/DAC 초기화 과정은 외부 ADC/DAC 칩을 초기화한다. 그리고 CFP제어 변수 초기화 과정에서 펌웨어에 필요한 모든 전역변수를 초기화 하고 펌웨어는 폴링 루프로 들어간다. 폴링 루프 안에서는 UART로 들어오는 외부 요청에 대한 처리를 한다. MDIO명령 처리 과정에서는 MCU는 FPGA의 내부 상태 레지스터를 접근하여 현재 호스트로부터 MDIO 요청이 있는지 확인하고, 만일 요청이 있을 경우 해당 주소와 값을 읽어와 요청에 따른 처리를 한다.

CFP 상태처리 과정에서는 MSA 표준과 같이 상태 천이가 되도록 관리한다. CFP DDM처리 과정은 ADC로부터 모니터링된 값을 처리하여 CFP 표준레지스터의 DDM 값을 업데이트 한다. FAWS 처리과정은 CFP의 상태에 따라 장애, 알람, 경고 상태를 표시해주는 역할이다.

IV. 성능평가 및 분석

4.1 테스트 베드 구성

제안하는 펌웨어 설계 기법의 기능검증을 위해 구현된 펌웨어를 실제 CFP하드웨어에 포팅하여 시험하여야 한다. 따라서 테스트를 위한 테스트베드를 구성하였다. 표 3은 펌웨어 테스트를 위한 하드웨어 구성이다.

FPGA로는 자일링스사의 Spartan-6 시리즈를 사용하였고, MCU는 8051계열 사용하여 구현된 펌웨어를

표 2. MCU 통신 인터페이스
Table 2. MCU Communication Interface

IC	interface
FPGA	external memory interface
ADC	SPI
DAC	SPI
Optic Driver IC	SMBus
Host	UART

표 3. 테스트베드 구성
Table 3. Configuration of Testbed

Item	Setting
FPGA	Xilinx Spartan-6 Series
MCU	Sillab 8051F34 Series
DAC/ADC	MAXIM 12bit ADC/DAC
Optic Driver IC	Semtech 10G Driver IC
board & Case	ARTECH CFP module
Test distance	40Km optical spool
Host	VIAVI ONT(Optical Network Tester) 606

포팅 하였다. ONT-606은 광 네트워크 테스트 장비이며 CFP 광트랜시버를 실장하여 100G까지 데이터를 전송할 수 있고 물리계층부터 MAC 계층까지 시험할 수 있다. 그림 7은 테스트베드 구성 사진이다. 구현된 펌웨어가 포팅 된 CFP는 최종적으로 VIAVI 사의 ONT-606에 실장하고 40km 광케이블을 이용하여 자가 루프 백 한다. 테스트를 통하여 펌웨어가 CFP하드웨어를 안정적으로 구동하는지, 펌웨어가 표준에 부합하도록 동작하는지 시험하였다. 또한 제안하는 펌웨어 기법의 성능 테스트를 위해 CFP를 통해 상위 데이터를 전송하여 처리량을 구하였고 안전성 확인을 위해 장시간 신뢰성 테스트를 하였다. 또한 구현된 펌웨어가 포팅 된 CFP와 기존 상용 CFP 제품의 DDM값을 측정하여 DDM 정확도를 비교하였다.



그림 7. 테스트베드 구성 사진
Fig. 7. Picture of Test-bed

4.2 결과 분석

제안된 기법으로 구현된 펌웨어의 기능 검증을 위해 CFP의 표준 동작 기능을 ONT-606 장비의 결과를 통해 확인하였다.

그림 8은 FPGA를 통해 설계한 CFP 메모리 맵을 읽은 값을 표시한 것이며 시작 주소는 0x8000번지부터 시작하는 것을 볼 수 있다. 결과를 통해 MDIO 인터페이스가 정상동작하는 것을 확인하였다.

그림 9는 수신된 광 세기값이며 오차 범위(+/-2dB) 내에서 모니터링 되고 있다. 이는 3장에서 제안한 DDM 기능에 의한 DDM 출력 결과이다.

그림 10은 표준 요구사항에 따라 알람기능을 확인을 위하여 수신부의 광 입력을 차단한 결과이다. 수신 광 세기가 -40dBm으로 표시되고 조건에 따라 알람(LOS; Loss of Signal)이 표시되었다.

그림 11은 CFP 테스트베드를 통한 데이터처리량에 대한 결과를 나타내었다. CFP가 처리할 수 있는 가용 대역폭 범위 안에서 99%의 데이터를 송수신 하도록 부하를 주었으며, 안정성 확인을 위해 72시간 이상 신뢰성 테스트를 하였다. 테스트 결과, 위의 그래프와 같이 데이터가 99% 이상 오류 없이 송수신되는 것을 확인하였고 제안된 기법으로 구현한 CFP 펌웨어

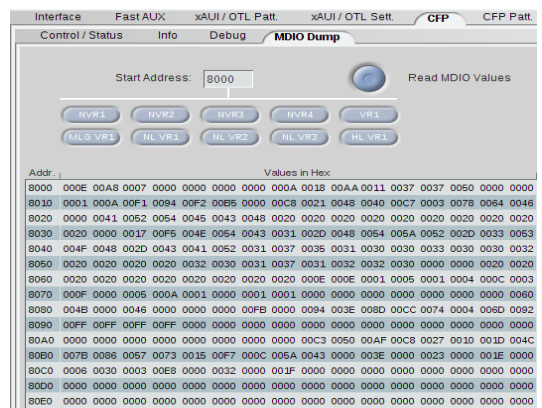


그림 8. CFP 메모리 맵 접근
Fig. 8. Access of CFP Memory Map

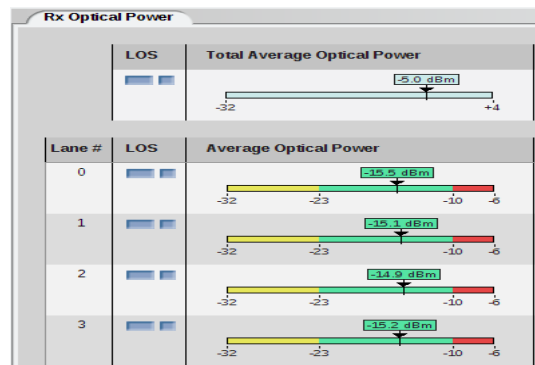


그림 9. 수신 광 세기
Fig. 9. Received Optical Power

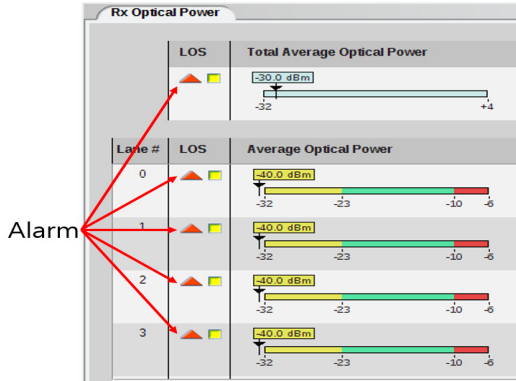


그림 10. 알람기능 결과
Fig. 10. Result of Alarm Function

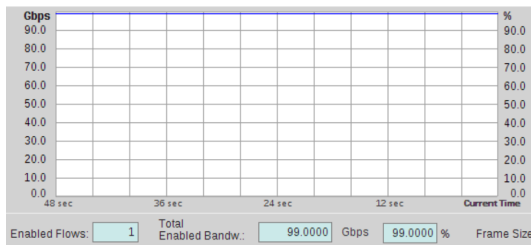


그림 11. CFP 데이터처리량
Fig. 11. Throughput of CFP Optical Transceiver

어의 안정성을 확인하였다.

그림 12는 제안하는 펌웨어 기법과 기존 상용 CFP와의 DDM 정확도 측정 그래프이다. 일부 채널에서 기존 CFP 제품1의 DDM 정확도가 제안하는 설계 기법보다 높은 부분이 있으나 전체적으로 제안하는 기법의 DDM 정확도가 더 높은 것을 확인할 수 있다. 또한 채널사이 DDM 정확도에 대한 편차율도 기존에 비해 적은 것을 확인하였다.

마지막으로 제안하는 펌웨어 설계 기술의 장점을 요약하면 표 4와 같다.

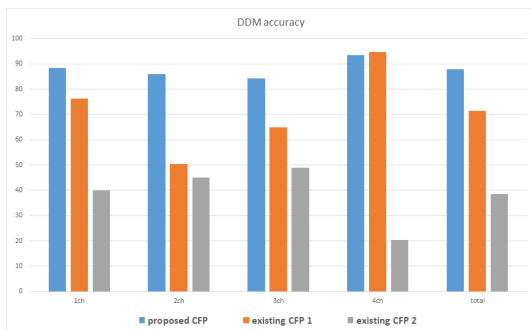


그림 12. DDM 정확도 그래프
Fig. 12. Graph of DDM accuracy

표 4. 제안하는 설계 기법의 장점

Table 4. Advantages of the proposed firmware technique

항목	설명
확장성	- 최대 16 채널까지 유연하게 확장가능 - 요구 성능에 따라 외부 칩을 유연하게 추가 가능
안전성	- 표준메모리구성과 운영기능을 하드웨어 모듈별로 구분하여 안전성 확보
경제성	- 단순 저가 MCU사용 - FPGA를 사용한 설계공간의 최소화
기능성	- Vendor IO를 통해 펌웨어 업데이트 및 CFP 제어 용이

V. 결론 및 향후연구

본 논문에서는 MSA 표준을 만족하는 100G CFP 펌웨어 설계 기법을 제안하였고 실제 구현된 펌웨어를 테스트베드에 적용하여 효율성을 검증하였다. 제안된 기법은 CFP 표준요구조건을 만족 하도록 FPGA와 MCU 사용하여 외부 호스트와의 통신 인터페이스와 CFP 내부 동작 기능을 구현하였고, 실제 CFP 하드웨어에 포팅하였다. CFP 동작이 MSA 운용관리 표준에 따라 올바르게 동작되는 것을 통해 제안하는 펌웨어 설계 기법의 효율성을 검증하였으며 기존 제품의 CFP와 성능 비교를 통해 DDM 정확도가 우수함을 확인하였다.

제안하는 기법은 CFP 타입 광트랜시버에 범용으로 사용될 수 있다. 또한 채널의 확장성을 고려하여 설계 되었으므로 향후 200/400G CFP 타입 모듈 개발에도 적용이 가능하다.

제안하는 펌웨어 기법은 표준의 필수 조건을 만족 하지만 펌웨어 원격업데이트와 같은 선택적 조건은 구현되어 있지 않다. 향후연구로 선택적 조건 부분에 대한 추가 구현이 필요하다. 추가로 데이터 전송률의 요구가 200G/400G로 빨라지면서 다양한 광 드라이버 IC가 출시되고 있다. 이에 따른 인터페이스 드라이버를 설계하여 실제로 적용할 수 있도록 연구할 것이다.

References

[1] B. L. Nguyen, T. D. Hoa, and D. S. Kim, "Energy-aware real-time routing for large-scale industrial internet of things," *J. Internet of Things*, vol. 5, no. 3, pp. 2190-2199, Jun. 2018.

[2] T. D. Hoa and D. S. Kim, "An information

- framework for internet of things services in physical internet,” *IEEE Access*, vol. 6, pp. 43967-43977, Aug. 2018.
- [3] J. J. Lee, J. Y. Heo, S. G. Gang, J. K. Lee, J. C. Lee, and D. S. Lee, “Market and technology trends in 100Gb/s optical transceiver,” *Electron. and Telecommun. Trends*, vol. 30, no. 1, pp. 65-76, Feb. 2015.
- [4] S. I. Myeong, J. C. Lee, H. S. Gang, and J. H. Lee, “Development of embedded optical transceiver technology for real-time optical time domain reflectometer(OTDR) function,” *J. IEIE*, vol. 42, no. 1, pp. 103-106, 2015.
- [5] S. H. Jo, H. J. Kim, K. J. Kim, S. S. Lee, and S. K. Han, “Tera optical communication technology for implementation of giga Korea,” *Telecommun. Technol. Assoc. J.*, vol. 146, pp. 32-39, 2013.
- [6] J. K. Lee and K. J. Kim, “Optical transceiver technology and its trend,” *Electron. and Telecommun. Trends*, vol. 24, no. 1, pp. 12-23, Feb. 2009.
- [7] J. H. Lee, C. U. Seo, S. D. Na, and H. T. Do, “Small cap hot issue optical communication and bright stock,” *SK Secur.*, pp. 1-29, 2017.
- [8] H. Oomori, T. Matsui, Y. Tanaka, H. Tanaka, and E. Tsumura, “Compact optical transceiver CFP4 for 1000 Gbit/s network systems,” *SEI Tech. Rev.*, no. 82, pp. 112-116, APR 2016.
- [9] Eiji Tsumura et al, “Development of 43/112 Gbit/s optical transceiver modules,” *SEI Tech. Rev.*, no. 75, pp. 91-95, Oct 2012.
- [10] P. Melidis, P. Nicosopolitidis, G. Papadimitriou, and E. Varvarigos, “Energy efficient optical backbone networks: A dynamic threshold approach,” *IEEE 21st Symp. Commun. and Veh. Technol.*, pp. 1-6, Nov 2014.
- [11] S.-J. Yang, J. Yeon, and H. Lee “High-performance low-complexity iterative BCH decoder architecture for 100Gb/s optical communications,” *J. IEIE*, vol. 50, no. 7, pp. 140-148, Jul. 2013,
- [12] Y. Doi, T. Ohyama, T. Yoshimatsu, S. Soma, and M. Oguma, “400GbE demonstration utilizing 100GbE optical sub-assemblies and cyclic arrayed waveguide gratings,” *OFC 2014*, pp. 1-3, San Francisco, CA, USA, Mar. 2014.
- [13] T. T. Shih, T. C. Chi, R. N. Wang, C. H. Wu, J. J. Huang, J. J. Jou, T. C. Lee, H. C. Kuo, G. R. Lin, and W. H. Cheng, “Efficient heat dissipation of uncooled 400-Gbps (16×25-Gbps) optical transceiver employing multimode VCSEL and PD arrays,” *Scientific Rep.*, vol. 7, pp. 1-10, Apr. 2017.
- [14] IEEE 802.3 400 Gb/s Ethernet Study Group “400G Optical Transceivers,” *LUXTERA*, pp. 1-26, 2013.
- [15] S. Kanazawa, T. Fujisawa, K. Takahata, H. Sanjoh, R. Iga, Y. Ueda, W. Kobayashi, and H. Ishii, “400-Gb/s operation of flip-chip interconnection EADFB laser array module,” *Optical Fiber Commun. Conf. and Exhibition*, pp. 1-3, 2015.
- [16] CFP MSA Group, “*CFP MSA Management Interface Specification Version 2.6 r06a*,” CFP MSA, 2017. http://www.cfp-msa.org/Documents/CFP_MSA_MIS_V2p6r06a.pdf
- [17] CFP MSA Group, “*CFP MSA Hardware Specification Version 1.4*” Jun. 7th, 2010, http://www.cfp-msa.org/Documents/CFP_MSA_HW-Spec-rev1-40.pdf
- [18] J. K. Lee, J. Y. Huh, S.-K. Kan, and Y.-S. Jang “ Analysis of dimensional tolerance for an optical demultiplexer of a highly alignment tolerant 4 x 25 Gb/s ROSA module,” *Optics Express*, vol. 22, pp. 4307-4315, 2014.
- [19] Y. Loussouarn, E. Pincemin, Y. Pan, G. Miller, A. Gibbemeyer, and B. Mikkelsen, “Silicon photonic multi-rate DCO-CFP2 interface for DCI, metro, and long-haul optical communications,” *OFC*, pp. 1-3, San Diego, CA, USA, Mar. 2018.
- [20] R. Lossio, *PSoC 3 and PSoC 5LP - Creating a CFP management interface*, CYPRESS, pp. 1-18, 2018.
- [21] IEEE 802.3 Working Group, *IEEE Std P802.3ba*, 2010.

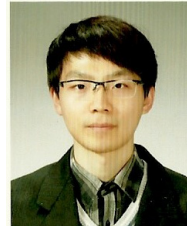
김 재 우 (Jae-Woo Kim)



2004년 2월 : 금오공과대학교
컴퓨터공학과 졸업
2006년 2월 : 금오공과대학교
컴퓨터공학과 석사 졸업
2013년 8월 : 금오공과대학교
컴퓨터공학과 박사 졸업

2014년~2018년 : (주)에이알텍 광통신 연구소 차장
2018년~현재 : ICT융합특성화연구센터 연구교수.
<관심분야> 광트랜시버, 이동통신, 임베디드 시스템

김 승 환 (Seung-Hwan Kim)



2010년 2월 : 금오공과대학교
전자공학과 졸업
2012년 2월 : 금오공과대학교
전자공학과 석사 졸업
2018년 8월 : 금오공과대학교
전자공학과 박사 졸업

2018년~현재 : ICT융합특성화연구센터 전임연구원.
<관심분야> 네트워크 기반 임베디드 시스템, 협력
통신 기법, 실시간 전송 기법

김 동 성 (Dong-Seong Kim)



1992년 : 한양대학교 전자공학
과 학사졸업
2003년 : 서울대학교 전기 및
컴퓨터공학부 박사 졸업
2004년 : Cornell 대학교 ECE
박사 후 연구원

2014년~현재 : ICT융합특성화연구센터 센터장(과기
정통부 ITRC 및 연구재단 중점연구소)
2014년~현재 : IEEE/ACM Senior 회원
2015년~2018년 : 금오공대 융합기술원 원장
<관심분야> 실시간 통신망 및 IoT 시스템, 네트워
크 기반 분산제어시스템, 실시간 S/W

신 상 문 (Sang-Moon Shin)



2000년 2월 : 울산대학교
전자공학과 학사 졸업
2002년 2월 : 울산대학교 전자
정보시스템 공학부 석사졸업
2014년 2월 : 울산대학교
전기공학부 박사 졸업

2014년~현재 : (주)에이알텍 광통신 연구소 이사
<관심분야> 광통신, 광트랜시버, 마이크로파 통신,
IAQ, IOT등