DBpia

논문 19-44-04-04 The Journal of Korean Institute of Communications and Information Sciences '19-04 Vol.44 No.04
https://doi.org/10.7840/kics.2019.44.4.652

다중의 직접 디지털 합성기를 이용한 광대역 첩 파형 발생 및 왜곡 보정

김 경 록◆, 고 민 호*, 하 진 혁*, 김 재 현°

Wideband Chirp Waveform Generation and Error Compensation Using Multi-DDS

Kyeong-Rok Kim◆, Min-Ho Go*, Jin-Hyuk Ha*, Jae-Hyun Kim°

요 약

영상레이더는 전파를 사용하여 고해상도의 영상을 전천후로 획득할 수 있어 세계적으로 연구되는 추세이다. 해상도는 감시 정찰을 관측 목적으로 하는 경우에 중요한 지표로 쓰이며 X 밴드 영상레이더의 경우, 수 cm까지 식별이 가능하다. 그러나 고해상의 영상레이더는 시스템적 한계 및 고가의 부품이 필요하여 민간 차원에서는 제작이 매우 어려운 실정이다. 본 논문에서는 다중의 직접 디지털 합성기를 이용하여 광대역 첩 파형을 설계하고 구현하며, 디지털아날로그 변환 과정에서 발생할 수 있는 파형의 왜곡을 보정하는 기법을 제안한다. 목표하는 광대역의 첩 파형은 4개의 직접 디지털 합성기와 다중화기를 사용하였고, FPGA에서 기존 클럭 대비 1/4 클럭만을 사용하여 출력하였다. Simulink를 이용하여 광대역 첩 파형을 확인하였고 위상 오차 등은 블록도 및 코드 디버깅을 통해 보정하였다.

Key Words : FPGA, Multi-DDS, Wideband, Chirp, Error compensation

ABSTRACT

The synthetic aperture radar (SAR) is being widely used in worldwide because it uses microwaves and can acquire high-resolution images regardless of the weather condition. The resolution is an important indicator when the observation purpose is surveillance and monitoring object. In case of X-band SAR, it can distinguish a few cm. However, because high-resolution SAR is limited systemic limitations and composed expensive components, it is hard for the private level to produce. In this paper, we implement wideband chirp waveform using multiple direct digital synthesizers (Multi-DDS) and propose the method to distortion compensation of the waveform that may occur during digital analog transformation. The targeted wideband chirp waveform were output using four direct digital synthesizers and multiplexer and only one quarter of a clock over the existing clock at the FPGA. We confirmed wideband chirp waveform using Simulink, and then phase error was compensated through block diagram and code debugging.

※ 이 논문은 2018년도 한화시스템(주)의 재원을 지원 받아 수행된 연구임.
◆ First Author : Ajou University of Department of Electrical and Computer Engineering, nowhere1104@ajou.ac.kr, 학생회원
° Corresponding Author : Ajou University of Department of Electrical and Computer Engineering, jkim@ajou.ac.kr, 종신회원
* Hanwha System AESA Radar R&D Center, minho0423go@hanwha.com, jinhyuk.ha@hanwha.com 정회원
논문번호 : 201901-402-A-RE, Received January 3, 2019; Revised February 8, 2019; Accepted February 8, 2019

www.dbpia.co.kr

Ⅰ. 서 론

영상레이더는 이동하는 플랫폼에 탑재되어 운용된다. 이동 중 전파를 송수신하는 능동 센서 레이더로써, 투과성의 이점으로 구름 등 날씨에 관계없이 전천후로 고해상도의 영상을 획득할 수 있다[1,2]. 영상레이더의 해상도는 안테나의 크기와 사용하는 신호의 특성에 의해 결정된다. 일반적인 레이더의 경우, 물리적으로 안테나의 크기가 클수록 고해상도의 영상 획득이 가능하나 이는 플랫폼 설계에 큰 부하가 된다. 영상레이더는 운용 특징에 의해 작은 안테나를 이용하여 획득한 데이터를 합성하여 고해상도의 영상을 획득한다. 신호적 특성에 의한 해상도는 대역폭에 의해 결정된다. 넓은 대역폭을 사용할수록 높은 해상도를 획득할 수 있으나, 운용 목적에 따른 중심주파수 범위 또는 영상레이더 시스템 제작에 사용되는 부품에 따라 대역폭 사용에 한계가 존재한다[3]. 또 다른 신호적 특성으로 송수신 하는 파형의 모양이 해상도나 대역폭을 결정한다. 연속 신호인 주파수 변조 연속 파형은 비교적 근거리의 대상을 관측할 때 사용되며[4], 무인기나 위성에 탑재되는 영상레이더는 펄스 형태의 파형을 사용한다. 특히 펄스 파형은 일반적인 펄스 파형과 첩 파형 등이 존재하는데 첩 파형은 높은 대역폭을 구현하는데 용이하다. 일반적인 펄스 파형은 폭이 짧을수록 높은 해상도를 갖지만 시스템 클럭의 한계가 있다. 첩 파형은 시간에 따라 주파수가 변화하는 파형으로 주파수 변동 폭이 대역폭이 된다[5].

본 논문에서는 고해상도의 영상 획득을 위한 광대역 첩 파형 발생 연구를 수행한다. 먼저 Simulink를 이용하여 광대역 첩 파형을 생성하기 위한 블록 다이어그램을 설계하였으며 출력된 첩 파형을 확인하였다. 그러나 생성된 파형은 truncation 등에 의해 오차가 발생하고, 위상 오차 등을 보정하기 위해 블록 다이어그램에 왜곡 보정 블록을 추가하여 오차가 보정된 시뮬레이션 결과를 출력할 수 있었다. 본 논문에서는 FPGA와 DAC 등을 이용하여 하드웨어를 제작하였으며 VHDL로 신호를 구현하였다. 기존의 직접 디지털 합성기를 이용한 첩 파형 출력은 각 부품의 클럭에 따라 대역폭을 생성할 수 있는 한계가 존재하였다. 이를 극복하기 위해 다중 DDS와 다중화기를 사용하였고, 각 DDS에서 출력되는 첩 파형을 MUX에서 혼합하여 높은 클럭 사용에 대한 부하를 줄일 수 있었다.

Ⅱ. 광대역 첩 파형 발생

2.1 첩 파형

영상레이더는 전파를 사용하는 능동 레이더로써, 송수신된 전파를 신호 처리하여 고해상도의 영상을 획득한다. 전파는 목적에 따라 L 밴드부터 Ka 밴드까지 넓은 밴드의 RF 대역을 사용하며, 높은 RF 대역은 고해상도, 낮은 RF 대역은 넓은 관측 범위의 시스템 특징을 갖는다. 해상도는 방위방향과 거리방향 해상도가 있다. 방위방향 해상도는 안테나 길이에 의해 결정되며, 거리방향 해상도는 펄스 폭 또는 대역폭에 의해 결정된다[6,7]. 이에 따라, 해상도 성능을 높이기 위해 짧은 펄스폭 또는 넓은 대역폭을 구현해야 하지만 시스템 및 비용에 한계가 있다. 영상레이더의 전파 형태는 첩 파형을 사용하며, 첩 파형은 사각 파형에 비해 넓은 대역폭 구현이 용이하여 영상레이더의 운용 개념에 적합하다.

일반적으로 해상도는 식(1)과 같이 단일 펄스의 폭에 의해 결정된다.

$$\triangle R = \frac{c\tau_p}{2}, \tag{1}$$

식(1)의 $\triangle R$은 거리 해상도, c는 빛의 속도, τ_p는 펄스폭을 나타낸다. 그러나 시스템적으로 짧은 펄스를 출력하는 데에는 한계가 있다. 이에 따라 영상레이더에서는 첩 파형을 사용한다. 첩 펄스 파형에서의 해상도는 식(2)와 같이 나타내며 B는 대역폭을 나타낸다.

$$\triangle R = \frac{c}{2B}, \quad B = \triangle F = F_2 - F_1, \tag{2}$$

첩 펄스에서 대역폭은 주파수 변화량이기 때문에, 높은 RF 대역에서는 낮은 RF 대역에 비해 비대역폭

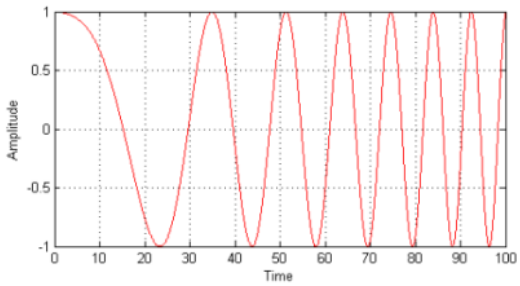

그림 1. 첩 파형
Fig. 1. Chirp waveform

www.dbpia.co.kr

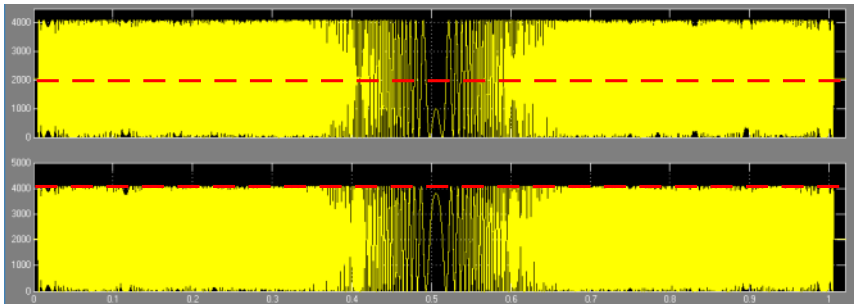

그림 2. Simulink 출력, I data (위), Q data (아래)
Fig. 2. Simulink output, I data (above), Q data (below)

(Fractional bandwidth)이 낮고, 넓은 대역폭을 사용하기가 쉽다. 식(1)과 식(2)에서 같은 1.5 m의 $\triangle R$을 구현하기 위해, 단일 펄스의 경우에는 10 ns 의 거의 불가능한 펄스의 폭을 구현해야 하지만, 첩 펄스 파형으로는 1000배인 10 μs로도 충분히 가능하다. 그림 1은 시간에 따라 주파수가 증가하는 첩 파형을 나타낸다.

2.2 광대역 첩 파형 발생 시뮬레이션

본 논문에서 광대역 첩 파형 시뮬레이션을 MATLAB에서 제공하는 Simulink를 사용하여 구현하였다. Simulink는 입력 값과 수식 등을 블록 다이어그램으로 만들어 출력 파형을 시간축과 주파수 축으로 확인할 수 있다. 표 1은 목표하는 첩 파형의 변수 값을 나타낸다. 본 논문에서는 해상도 30 cm를 목표로 하여 10 μs 펄스 폭, 500 MHz 대역폭을 입력 값으로 하였다.

그림 2는 광대역 첩 파형 출력을 나타낸다. 그림 2의 위는 sine 파형의 I data, 아래는 cosine 파형의 Q data를 나타낸다. 각각 I, Q data를 나타내지만 중심 부분 위상에 오차가 발생한 것을 확인할 수 있다. 이러한 오차는 양방향 첩을 발생시키기 때문에 나타난다. 단방향 첩을 발생시키는 경우에는 파형이 진폭 0 또는 1에서 시작되기 때문에 위상 누적단의 초기 값을 수정할 필요가 없다. 그러나 그림과 같이 양방향 첩을 발생시키는 경우에는 고주파에서 파형이 시작되어 주파수 0으로 감소하고 다시 고주파로 증가하기 때문에, 파형의 중간인 주파수 0 부분의 위상 값을 보정할 필요가 있다. 파형에서 발생되는 오차는 영상레이더 관측으로 획득한 영상에서 영상 왜곡이나 영상의 뭉개짐 등의 원인이 된다. 이와 같은 파형 오차의 보정을 위해 첫째로, 초기 파형을 출력하고 파형 중심 부분과 위상 누적단의 중심 값을 분석한다. 다음으로 이상적인 출력 값과 출력된 출력 값의 차이를 비교하였다. 마지막으로 그림 3과 같이 Simulink 블록 다이어그램 내부에 위상 오차 보정 블록을 추가하고, 오차 보정 값을 입력하여 보정된 파형 출력을 확인한다.

그림 4는 보정된 Simulink 출력의 I data와 Q data를 나타낸다. 그림 2와 비교하였을 때 파형 중심 부분의 위상이 보정되어 정상적인 파형이 출력된 것을 확인할 수 있다. 영상레이더는 송신하는 신호와 대상의

표 1. 첩 파형 생성을 위한 Simulink 변수
Table 1. Simulink parameter for chirp waveform generation.

	Value	Unit
Pulse width	10	μs
Bandwidth	500	MHz
Resolution	30	cm

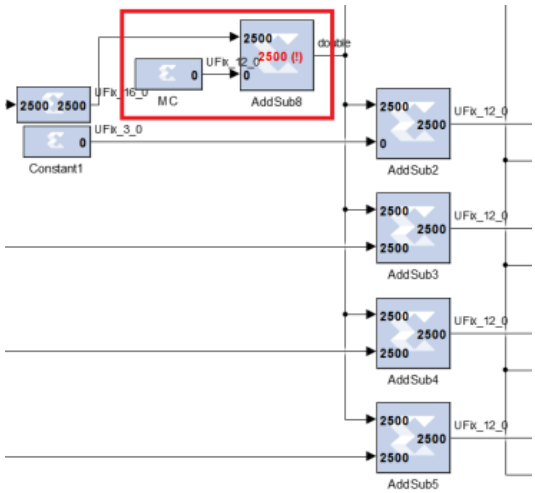

그림 3. 오차 보정을 위한 블록 다이어그램
Fig. 3. Block diagram for error compensation

www.dbpia.co.kr

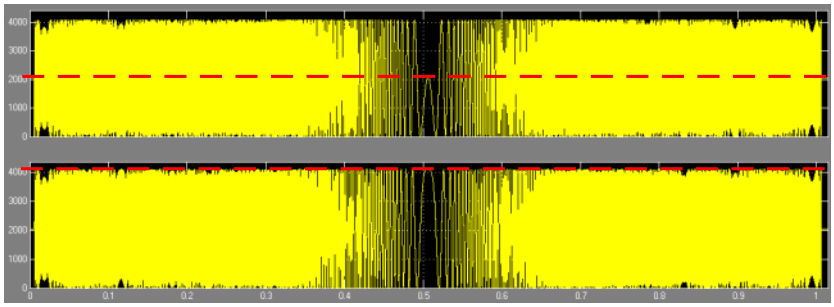

그림 4. 오차가 보정된 Simulink 출력, I data (위), Q data (아래)
Fig. 4. Error compensated Simulink output, I data (above), Q data (below)

정보를 포함하는 수신된 신호의 신호 처리를 통해 영상을 제작한다. 이에 따라, 송신하는 신호를 정확히 출력해야 하며 항상 일정한 신호를 출력할 수 있어야 한다. 그림 5는 출력된 신호의 대역폭을 나타낸다. x축의 주파수를 통해 500 MHz의 대역폭이 수 dB 이내의 평탄도(Flatness)와 y축의 세기를 통해 30 dB 이상의 주파수 스펙트럼 재성장(Spectral regrowth) 값으로 신호가 출력된 것을 볼 수 있다.

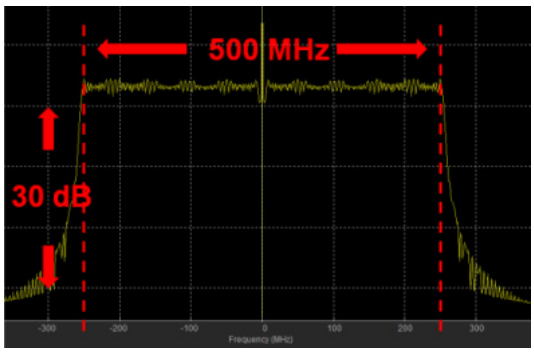

그림 5. Simulink 출력, 대역폭
Fig. 5. Simulink output, Bandwidth

Ⅲ. 하드웨어 제작 및 신호 출력

3.1 다중 DDS를 이용한 하드웨어 설계

최근, 군사정찰이나 지구 관측 분야에서 기술의 발전과 그에 대한 수요로 영상레이더 또한 고해상도의 구현이 필수적이다[8]. 고해상도를 위해 영상레이더 시스템은 광대역의 첩 파형을 구현해야 하며, 이는 고가 및 높은 신뢰의 시스템을 요구한다. 하지만 DDS (Direct Digital Synthesizer) 방식을 이용하여 넓은 대역의 첩 파형을 구현하는 것은 출력 신호의 성능이 저하되는 단점이 있다[9]. 이는 더 높은 클럭을 인가하여 어느 정도 보완이 되지만, 부품의 한계에 의해 구현되는 대역폭에도 한계가 있다. 따라서 본 논문에서는 그림 6과 같이, 다중의 DDS와 MUX (Multiplexer)를 이용하여 상대적으로 낮은 클럭을 이용하면서도 광대역의 첩 파형을 출력할 수 있는 방식을 제안한다. 먼저 MATLAB의 Simulink를 이용하여 광대역 첩 파형

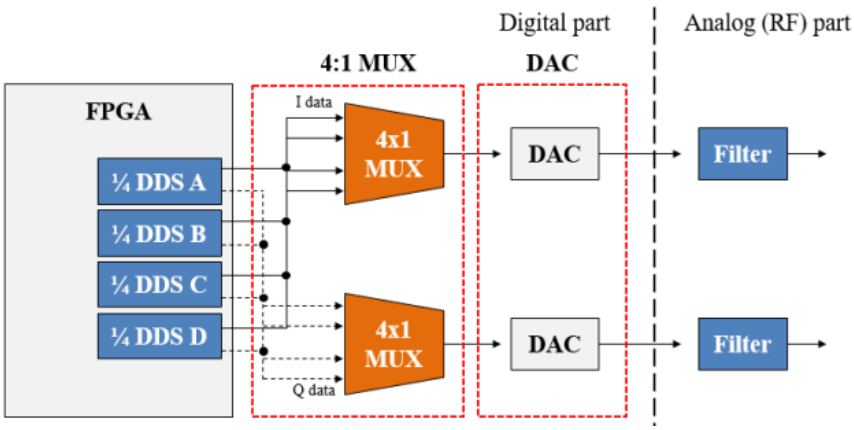

그림 6. 다중화기를 사용한 다중 DDS 구조
Fig. 6. Structure of multi-DDS with MUX

www.dbpia.co.kr

시뮬레이션 결과를 확인하였으며, FPGA, MUX, DAC를 사용하여 제작한 하드웨어로 제안한 방식의 광대역 첩 파형을 검증한다.

시뮬레이션 결과를 실제 하드웨어에 적용하기 위해 FPGA에 VHDL 프로그래밍을 하였다. 또한 FPGA에서 출력되는 다중 DDS 신호를 혼합하고 디지털 신호를 아날로그 변환하기 위해 MUX와 DAC를 함께 구현 가능한 Teledyne 사의 DAC를 사용하였다. FPGA에서는 DAC를 제어하기 위해 DAC의 PSS (Phase Shift Select), OCDS (Output Clock Division Select), MUX 등에 값을 인가하고, DAC에서는 FPGA에 DSP (Digital Signal Processing) 클럭을 인가하여 신호를 발생시킨다. 표 2는 광대역 첩 파형을 출력하기 위한 DAC 기능과 그 값을 나타낸다. PSS는 위상 지연이 발생했을 경우, 값을 인가하여 위상을 0부터 3.5 클럭까지 조절할 수 있다. OCDS는 DSP 클럭 주파수를 조절하기 위해 사용되며 외부 클럭을 8 또는 16으로 나누어 FPGA에 전달한다. MUX는 다중화기로 사용되고 본 논문에서는 4:1을 사용하였다. 그리고 DSP는 DAC에서 FPGA를 구동하기 위한 클럭으로 OCDS 값에 따라 125 또는 62.5 MHz를 사용한다.

그림 7은 제작한 보드의 일부를 나타낸다. FPGA와 DAC를 서로 연결하여 필요한 변수, 명령 및 기능을 전달 할 수 있도록 제작하였다. DAC 제어 변수에 여러 값을 인가하며 출력 신호를 확인하였고, 최종 출력단의 신호는 그림 8과 같다. 그림 8의 위는 I data, 아래는 Q data를 나타낸다. 기저대역에서부터 대역을 출력하기 때문에 시뮬레이션에서 확인하였던 신호만

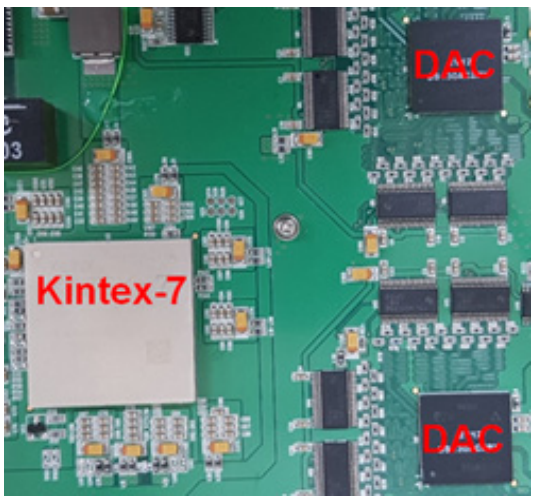

그림 7. 광대역 첩 파형 출력을 위한 하드웨어
Fig. 7. Hardware for wideband chirp waveform generation

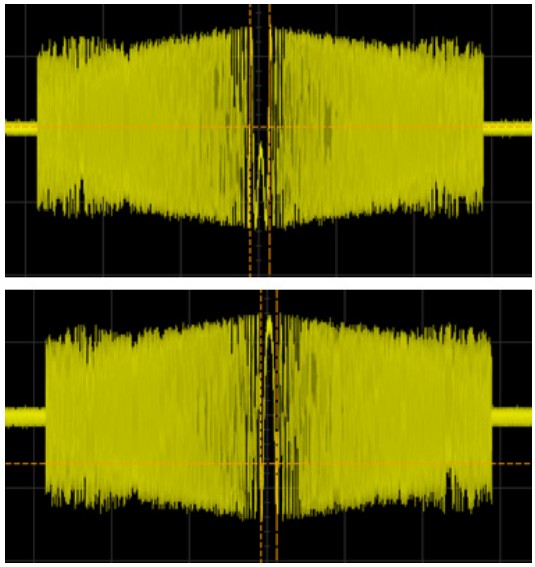

그림 8. 하드웨어를 이용하여 출력한 첩 파형, I data (위), Q data (아래)
Fig. 8. Chirp waveform using hardware, I data (above), Q data (below)

큼의 평탄도는 얻을 수 없었지만 표 1과 같은 목표치의 신호가 출력된 것을 확인할 수 있다. 또한 신호가 없는 구간에서의 전압을 보아 계측 장비, 배선 및 케이블, 측정 장비(프로브)의 잡음에 의해 신호 오차가 발생된 것을 알 수 있다.

표 2. DAC 기능 및 값
Table 2. DAC function and value.

Function	Description	Value
PSS	To tune the phase (0~3.5 clock)	0 clock
OCDS	To divide the DSP clock frequency	8 or 16
MUX	Multiplexer Selection (4:1 or 2:1)	4:1
DSP	In-phase and Inverted phase output clock	125 or 62.5 MHz

Ⅳ. 결 론

본 논문에서는 클럭 제한이 있는 상황에서 다중의 직접 디지털 합성기를 이용하여 광대역의 첩 파형을 발생시키고, 발생하는 오차에 대한 왜곡 보정 방법을 제안한다. 먼저 해상도 목표치를 설정하고, 시뮬레이션을 통해 광대역의 첩 파형을 출력하였다. 시뮬레이션 상에서 발생하는 위상 오차 등은 추가로 보정 블록

www.dbpia.co.kr

을 추가하여 왜곡을 보정하였으며, 최종 출력은 목표했던 파형이 나온 것을 확인하였다. 이후 실제 하드웨어에서의 검증을 위해 FPGA와 MUX, DAC 등을 사용하여 보드를 제작하였다. 광대역의 신호를 발생하는 것은 높은 사양의 부품이 필요하지만 본 논문에서는 FPGA에서 다중의 DDS를 출력하고 DAC에서 순차적으로 DDS를 사용하기 때문에 기존의 클럭 부하를 줄일 수 있었다. 최종적으로, 제작한 보드에서도 원하는 성능의 첩 파형을 출력하였으며 추후 RF 대역으로 상향 변환 후 광대역의 신호를 출력하여 주파수 평탄도와 스펙트럼 재성장 값 등을 확인할 계획이다.

References

[1] K. Tomiyasu, “Tutorial review of synthetic-aperture radar (SAR) with applications to imaging of the ocean surface,” in *Proc. IEEE*, vol. 66, no. 5, pp. 563-583, 1978.

[2] A. Moreira, “Suppressing the azimuth ambiguities in synthetic aperture radar images,” *IEEE Trans. Geosci. Remote Sens.*, vol. 31, no. 4, pp. 885-894, Jul. 1993.

[3] K. R. Kim, et al., “Development and experiment of L-band SAR for ranging and imaging target,” *2018 IEEE Int. Geosci. and Remote Sens. Symp.*, pp. 7821-7824, Jul. 2018.

[4] S. Lee, S. R. Lee, and S-. C. Kim, “Ship positioning estimation using phased array antenna in FMCW radar system for small-sized ships,” *J. KICS*, vol. 40, no. 6, pp. 1130-1141, Jun. 2015.

[5] Y. Heein, et al., “Phase error compensation method using polynomial model for a direct digital synthesizer based chirp signal generator,” *2015 IEEE Int. Geosci. and Remote Sens. Symp.*, pp. 786-789, Jul. 2015.

[6] K. R. Kim, et al., “Range design of pulse repetition frequency for removal of SAR residual image,” *J. KICS*, vol. 41, no. 11, pp. 1653-1660, Nov. 2016.

[7] J. Curlander and R. McDonough, *Synthetic Aperture Radar Systems & Signal Processing*, John Wiley & Sons, Inc., 1991.

[8] F. Chen, L. Rosa, and M. Nicola, “An overview of satellite synthetic aperture radar remote sensing in archaeology: From site detection to monitoring,” *J. Cultural Heritage*, vol. 23, pp. 5-11, Mar. 2017.

[9] C. I. Kim, H. S. Lee, and C. K. Hong, “The differential quantized direct digital frequency synthesizer based on sine-linear phase difference,” *J. KICS*, vol. 41, no. 10, pp. 1179-1182, Oct. 2016.

김 경 록 (Kyeong-Rok Kim)

2012년 8월 : 연세대학교 컴퓨터정보통신공학과 졸업
2016년 8월 : 아주대학교 우주전자정보공학과 석사
2016년 9월~현재 : 아주대학교 전자공학과 박사과정

<관심분야> SAR 시스템, SAR영상 활용, 영상처리
[ORCID:0000-0002-3552-2365]

고 민 호 (Min-Ho Go)

1997년 2월 : 인하대학교 전자공학과 석사
2009년 2월 : 인하대학교 전자공학과 박사
2010년 2월 : 차세대 항공전자통신인력양성사업단 연구원
2010년 7월~현재 : 한화시스템 수석연구원

<관심분야> 능동위상배열 레이다, 광대역 송수신 및 RFIC/MMIC
[ORCID:0000-0003-0605-6331]

www.dbpia.co.kr

하 진 혁 (Jin-Hyuk Ha)

2006년 2월 : 순천향대학교 전자공학과 학사 졸업
2016년 : 휴니드테크놀러지스 선임연구원
2016년~현재 : 한화시스템 전문연구원

<관심분야> 광대역 송수신 시스템, 레이다 주파수 합성기, 레이다 시스템
[ORCID:0000-0001-5402-0005]

김 재 현 (Jae-Hyun Kim)

1987년~1996년 한양대학교 전산과 학사 및 석/박사 졸업
1997년~1998년 미국 UCLA 전기전자과 박사 후 연수
1998년~2003년 Bell Labs, NJ, USA, 연구원
2003년~현재 아주대학교 전자공학부 교수

<관심분야> QoE/QoS, 무선 MAC 프로토콜, IEEE 802.11/15, B5G 통신 시스템, 국방 전술네트워크, 위성시스템 등
[ORCID:0000-0003-4716-6916]

www.dbpia.co.kr