

동기화된 다중 분할 출력 가능한 8K UHD 신호재생 시스템 설계 및 구현

전 윤 석*, 김 영 한^o

Design and Implementation of 8K UHD Signal Generation System with Synchronized Multiple Split Outputs

Yoon-seok Jeon*, Young-han Kim^o

요 약

8K UHD(Ultra High Definition) 초고선명 영상을 지원하는 신호재생 시스템은 8K UHD 방송 서비스 확대에 필수적이다. 특히 TV 제조사들은 최신TV 홍보를 위해 일반 방송 보다 높은 화질을 지원하는 시스템을 요구하고 있다. 8K 신호재생 시스템에 대한 연구는 4K 대비 4배 증가된 픽셀 수량만큼의 데이터 처리를 위해 병렬처리 방법을 기반으로 하고 있다. 현재 상용화된 솔루션으로 무 압축 영상을 지원하는 시스템은 복수의 4K 신호재생 시스템을 연동하여 4분할된 영상을 재생하고 HDMI 2.0 규격 4개로 출력함으로써 높은 화질을 지원하지만 저장 공간을 무리하게 요구하여 다수의 영상을 사용하는 홍보용 시스템으로는 부적합하다. 그리고 압축 영상을 지원하는 단일 디코더 시스템은 8K 방송 서비스 목적으로 개발되어 지원 비트레이트가 제한적이기 때문에 TV 제조사가 요구하는 높은 화질을 지원하지 못한다. 그래서 복수의 4K 디코더를 활용한 병렬 처리에 기반을 둔 신호재생 시스템 구현이 불가피하며, 복수의 비디오 스트림 간 동기화와 화면출력 신호레벨 동기화가 요구된다. 본 논문에서는 4K 신호재생 시스템 4개와 고속 비디오 처리가 가능한 FPGA를 하나의 시스템으로 결합하여 4개로 분할된 영상을 동기 재생하고, HDMI 2.0 규격 4개로 신호레벨까지 동기화된 출력을 하는 8K UHD 신호재생 시스템을 설계 및 구현하였다. 실험을 통해 제안 시스템이 기존 상용화 시스템에 비해 8배 이상의 높은 비트레이트를 지원하며, 저장 공간은 1/20로 절감하고, 화면출력 8K60p까지 지원함을 확인하였다.

키워드 : 초고선명, 8K, 4K, 시그널 제너레이터, 신호 발생기, 비디오

Key Words : UHD, 8K, 4K, Signal generator, Video

ABSTRACT

8K UHD Signal generation system is essential for expanding 8K UHD broadcasting service. In particular, TV manufacturers are demanding a system that supports higher quality video than general broadcasting to promote new TV. The research on the 8K signal generation system is based on a method of parallelizing for processing data by 4 times the number of pixels compared to 4K. As a commercially available solution, a system that supports uncompressed video is capable of high video quality by linking 4K signal generation system to play 4 segmented uncompressed video and to output 4 HDMI 2.0 standard, but it is unsuitable as a promotional system that uses multiple videos due to excessive demand for storage space. A system that supports compressed video cannot support the high picture quality required by TV manufacturers because developed for 8K broadcasting

* First Author : Soongsil University Department of Electronic Engineering, happyjeon01@gmail.com, 학생회원

^o Corresponding Author : Soongsil University Department of Electronic Engineering, younghak@ssu.ac.kr, 종신회원

논문번호 : 202003-064-D-RN, Received March 25, 2020; Revised April 27, 2020; Accepted May 03, 2020

service. Therefore, it is inevitable to implement a signal generation system that supports compressed video based on parallel processing and synchronization between multiple video streams and display output signal level synchronization are required. In this paper, We designed and implemented an 8K UHD signal generation system combining four 4K signal generation systems and one-chip FPGA capable of high-speed video processing. The system supports synchronous playback of four divided video and four HDMI 2.0 for output that is synchronized up to the signal level. Experimental results show that the proposed system supports more than 8 times higher bit-rate than the commercialized system, saves storage space to 1/20, and supports screen output up to 8K60p.

1. 서 론

디스플레이 기술발전에 따라 대중화된 TV (Television) 화면 사이즈가 대형화되어 사실감과 현장감을 느낄 수 있는 욕구가 증대되고 있다¹⁾. UHD(Ultra High Definition) TV방송은 기존 HD(High Definition)급 대비 4배(4K)에서 16배(8K)까지의 서비스를 목표로 방송 송출 분야, 디스플레이 분야, 수신기 및 영상 신호 재생 분야까지 다양하게 연구되고 있다²⁻⁷⁾. 특히 8K UHD 영상을 지원하는 HEVC(High Efficiency Video Coding) 디코더에 대한 연구는 가변적 HEVC 디코더 및 플레이어 설계 방법이 소개되었으나 아직 상용화까지는 못하고 있다⁴⁾.

방송 송출 분야에서는 카메라에서 방송차량까지 영상 전송을 위한 연구부터, 실시간 압축을 위한 방법, 대용량의 8K UHD 영상 데이터를 기존 방송망을 활용하여 전송하기 위해 다양한 시도가 되고 있다⁵⁻⁷⁾. 실례로 방송통신 융합 전송을 위한 연구는 8K UHD를 영역 분할하여 방송망과 통신망으로 나눠 전송한 다음 수신부에서 결합하는 방법이 연구되고 있다^{8,9)}. 이 방법은 수신부에서 분할된 영상을 동기 재생하는 기술이 필수이다⁸⁾.

디스플레이 시스템은 8K UHD를 지원하기 위해 4K 대비 4배 증가된 픽셀 수량만큼 영역을 분할하여 병렬처리 한다^{9,10)}. 그리고 외부 신호재생 시스템과 연결에서는 단일 신호로 초당 30프레임 까지만 지원하거나, HDMI (High Definition Multimedia Interface) 2.0 규격 동기화된 신호 4개로 초당 60프레임을 지원한다¹¹⁾.

신호재생 시스템은 방송 서비스로 부터 수신된 압축된 영상을 지원하는 시스템과 자체 저장장치를 탑재하여 사용자가 업로드 한 영상을 지원하는 시스템으로 구분 할 수 있다. 저장장치를 탑재한 시스템은 다시 압축 영상을 지원하는 시스템과 무 압축 영상을 지원하는 시스템으로 나눌 수 있다.

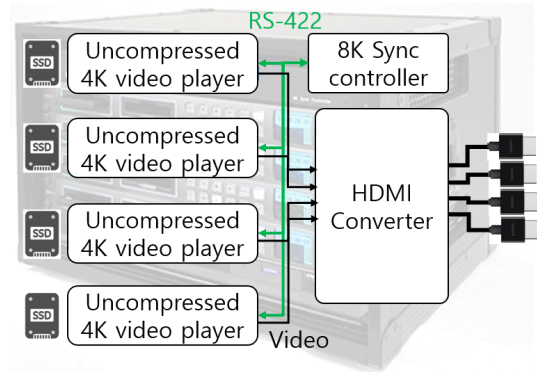


그림 1. 무 압축 8K 재생 시스템 구조
Fig 1. Uncompressed 8K Player structure

TV제조사는 일반 방송보다 높은 화질을 요구하고 있어 홍보용 시스템으로 사용하기 위해서는 방송 송출 시스템의 제약에서 자유로운 자체 저장 장치를 탑재하는 시스템이 적합하다. 그 중에서 무 압축 영상을 지원하는 시스템은 그림 1과 같이 4K 재생 시스템 4대를 이용하여 각각의 스토리지에 4분할 저장된 영상을 8K Sync controller를 통해 동기 재생하고, 화면출력은 HDMI 2.0 규격 4개로 초당 60프레임을 구현한다¹²⁾.

본 시스템은 높은 화질을 구현할 수 있는 장점이 있지만 무 압축 영상을 사용하기 때문에 분당 118.2GBytes의 저장 공간이 필요하다. 이는 1분 이상의 다수 영상을 사용하는 TV제조사의 홍보용 시스템으로 부적합하다.

다음으로 압축 영상을 지원하는 시스템은 그림 2와 같이 슬라이스 단위로 분할 압축된 영상을 HEVC 싱글 디코더로 재생하여 HDMI 2.0 규격 4개로 출력한다^{13,14)}. 본 시스템을 이용하여 현재 일반 내 8K UHD 방송을 80~90Mbps로 서비스 하고 있다⁸⁾. 이런 시스템이 고화질을 지원하기 위해서는 높은 비트레이트를 지원해야 하나, 방송 서비스를 목적으로 개발되어 지원 비트레이트가 제한적이기 때문에 TV 제조사가 요

II. 8K UHD 신호 재생 시스템 설계

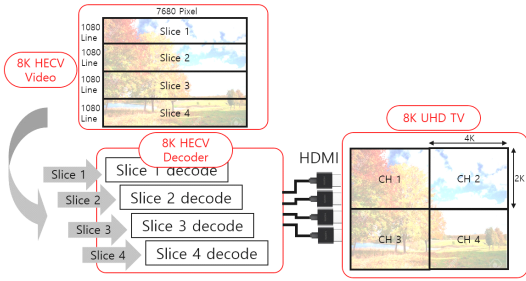


그림 2. 8K HEVC 디코더 시스템 동작
Fig. 2. 8K HEVC decoder system operation

구하는 높은 화질을 구현하기 어렵다.

본 논문에서는 800Mbps 이상의 8K UHD 고화질 압축 영상을 지원하고, 초당 60프레임 출력이 가능한 동기화된 다중 분할 출력 8K UHD 신호재생 시스템을 제안한다.

개별 동작이 가능한 복수의 4K 신호 재생 시스템을 모듈화로 설계하고, 비디오 화면 신호출력 동기화를 위해 메인 클럭을 공유 하도록 설계하며, 화면출력 부분에 고속 비디오 처리가 가능한 FPGA를 추가 설계하여 다수의 비디오 신호를 신호레벨까지 동기화하였다.

시스템 제어 부분에서는 다수의 시스템을 하나의 시스템과 같이 제어 할 수 있도록 하는 사용자 입력 제어 부분을 추가 구현 하였으며, 다수의 시스템에서 하드웨어 디코더를 이용하여 높은 비트레이트 4K UHD 영상을 원활히 동기화 재생할 수 있도록 알고리즘을 설계하였다.

본 시스템에서는 4분할 압축한 8K UHD 영상을 개별 재생으로 디코딩 부하를 분산 시켜 높은 비트레이트를 지원하면서 동시에 저장 공간도 절감하였다. 출력신호는 HDMI 2.0 규격 4개의 동기화된 출력을 위해 One-chip FPGA를 적용하여 신호 재생 모듈에서 출력되는 비동기적 신호를 신호레벨까지 동기화하였다. 화면출력은 8K UHD TV 또는 4K UHD TV 4대와 연결하여 초당 60프레임을 지원할 수 있다.

실험을 통해 8K UHD 60p 10비트 880Mbps (4Kp60 220Mbps x 4) 영상을 본 시스템에 탑재해 8K 디스플레이 시스템에서 초당 60프레임이 출력됨을 확인 하였다.

본 논문의 구성은 II장에서 8K UHD 신호재생 시스템 설계 방법을 설명하고, III장에서 제안 시스템의 구현 및 검증을 기술하며, 마지막으로 IV장에서 결론을 맺는다.

제안 시스템의 동작은 그림 3과 같이 4분할 압축한 8K UHD 영상을 시스템에 업로드하고, 신호재생 모듈에서 개별 재생하면서 각 모듈 간 프레임 동기화를 한다. 프레임 동기화된 출력은 One-chip FPGA를 거쳐 HDMI 2.0 규격 4개의 신호레벨까지 동기화된 신호로 변환된다.

이와 같은 동작을 위해 제안 시스템은 그림 4와 같이 신호재생 블록과 8K 화면출력 블록으로 구성한다. 신호재생 블록은 네트워크로 다수의 신호재생 모듈을 연결하여 하나의 시스템으로 제어하는 블록, 프레임 단위로 동기 재생하는 블록, 시스템 클럭 로직 블록으로 구성한다.

화면출력 블록에서는 신호재생 모듈로부터 입력되는 HDMI 신호를 복호화하는 블록, 영상 데이터를 메모리에 저장하는 블록, 화면출력 때 신호레벨까지 동기화된 HDMI 신호로 부호화하는 블록으로 구성한다.

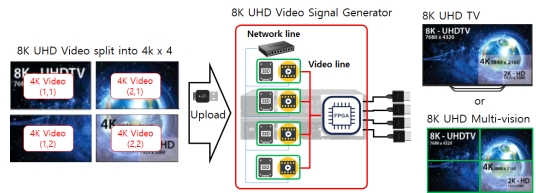


그림 3. 제안 시스템의 동작 원리
Fig. 3. Operation principle of the proposed system

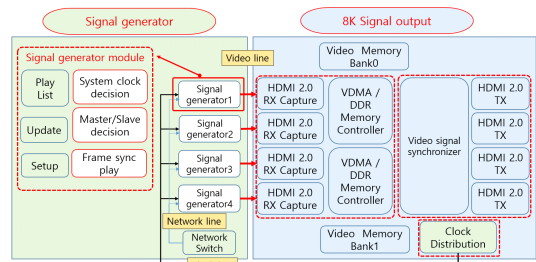


그림 4. 전체 시스템 블록도
Fig. 4. Full system block diagram

2.1 신호 재생 모듈 설계

신호재생 모듈은 그림 5와 같이 단위 기능이 가능하도록 설계하고, 클럭 로직을 내부 또는 외부에서 입력 하도록 하며, 고화질 영상일수록 트랙이 높아지는 스토리지에 SSD(Solid State Drive)를 개별로 탑재해 모듈화 한다.

S/W는 안드로이드 플랫폼을 탑재하고, 설정 및 영

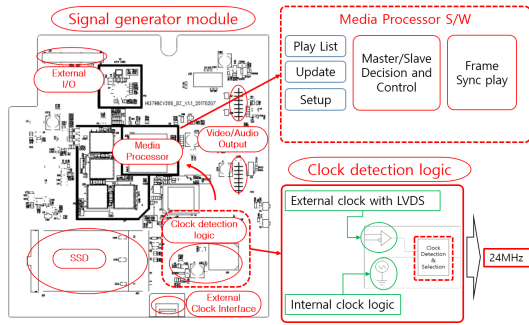


그림 5. 신호재생 모듈 블록도
Fig. 5. Signal generation module block diagram

상 업데이트 기능을 추가하며, H/W 코덱을 기반으로 동기화 재생하는 플레이어를 구현하여 UHD 영상을 지연 없이 재생한다.

2.1.1 시스템 클록 블록 설계

신호재생 모듈은 시스템 클록(24MHz)으로 오실레이터를 개별로 적용하는 것이 일반적이다. 그러나 오실레이터는 미세하게 오차를 내포하여 다수의 시스템 연동에 개별 사용할 경우 영상 신호 출력이 균일하지 않아 동기화에 어려움이 있다.

이를 개선하기 위해 본 제안에서는 내부 또는 외부 클록을 선택하도록 설계한다. 외부 클록 입력은 LVDS(Low Voltage Differential Signal) 방식으로 외부 노이즈에 강하도록 하였고, 클록 선택 동작은 외부 클록 연결 유무에 따라 자동 선택하도록 하였다.

자동 선택과정은 그림 6과 같이 클록감지를 위해 VDS(Voltage Difference Signal)로 입력되는 신호를 Single ended signal 형태로 변환하고, 해당 클록 유무 검출을 위해 마이컴의 ADC (Analog Digital Converter)핀 앞단에 RC 회로를 추가하여 설계하였다.

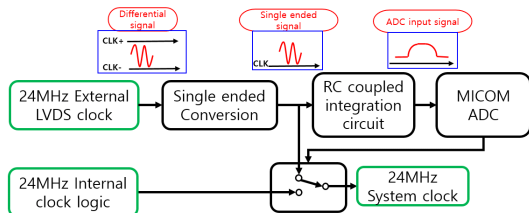


그림 6. 시스템 클록 블록 동작도
Fig. 6. System clock block operation diagram

2.1.2 신호재생 모듈 동시 제어 설계

단일 동작이 가능한 시스템 다수를 하나의 시스템으로 제어하기 위해서는 사용자 입력의 단일화와 공유가 필요하다. 본 시스템에서는 1개의 마스터와 3개의 슬레이브로 구분한다. 마스터는 사용자입력을 받아 자신의 동작을 처리함과 동시에 슬레이브에게 명령을 전달하는 것으로 정의하고, 슬레이브는 전달된 명령에 따라 동작하는 것으로 정의한다.

각 모듈은 네트워크를 통해 연결하므로 마스터와 슬레이브의 구분은 네트워크 IP로 한다(마스터: 192.168.0.101, 슬레이브: 192.168.0.102~104). 사용자 입력은 일반적으로 IR(InfraRed) 리모콘(Remote Controller)으로 제어한다.

본 제안에서는 그림 7과 같이 마스터/슬레이브 각각 IR 서비스 프로세스에 추가 동작을 구현하였다.

마스터는 IR 드라이버부터 수신된 리모콘 코드를 네트워크를 통해 UDP(User Datagram Protocol) 패킷으로 브로드 캐스트 하고 동시에 키보드 코드로 변환하여 리눅스 커널 레벨의 키보드 이벤트 드라이버로 전달한다.

슬레이브는 리모콘 코드 명령을 UDP 패킷으로 수신하여 키보드 코드로 변환 후 리눅스 키보드 이벤트 드라이버로 전달한다. 이렇게 전달된 리눅스 키보드 이벤트는 최종 안드로이드 시스템을 통해 키보드 이벤트로 GUI 프로세스로 다시 전달된다.

이 방법은 GUI(Graphic User Interface) 프로세스에서 마스터/슬레이브 구분 없이 동작 가능하다는 장점이 있고, 마스터 제어로 슬레이브까지 동시 제어 가능하며, 향후 슬레이브 수량이 증가되어도 동일한 방법을 사용할 수 있다는 장점이 있다.

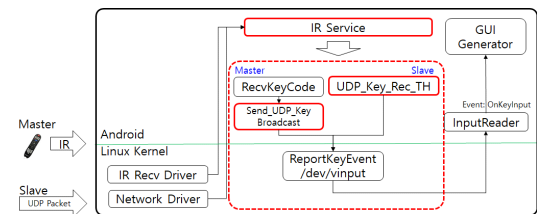


그림 7. IR 리모트 컨트롤러를 이용한 제어 동작도
Fig. 7. Control diagram using IR Remote controller

2.1.3 프레임 동기화 알고리즘 설계

디스플레이 시스템에서 4개로 분할된 영상 입력으로 8K 화면출력을 위해서는 프레임 단위 동기화뿐만 아니라 신호레벨 동기화까지 되어야 한다^[11]. 본 제안에서는 미디어 플레이어를 통한 프레임 단위 동기화

와 FPGA를 이용한 화면출력 신호레벨의 동기화로 구분하여 설계하였다.

본 절에서는 프레임 동기화를 언급하고, 화면출력 신호레벨 동기화는 다음 “화면출력 FPGA 모듈 설계”에서 설명하기로 한다.

프레임 동기화는 미디어 프로세서의 디코딩 과정에서 화면출력에 사용되는 프레임 카운터 정보를 기반으로 네트워크로 연결된 신호재생 모듈을 프레임 단위로 제어함으로써 구현한다.

그림 8은 제안 시스템의 동기재생 미디어 플레이어 구조를 나타내며 SDK(Software Development Kit) 영역에 동기 재생을 추가 구현하였다. 프레임 동기화는 마스터와 슬레이브가 네트워크로 연결된 상태에서 그림 9와 같은 과정을 통해 이루어진다.

- (1) 사용자 입력 또는 Next Play에 의한 재생 시작으로 마스터와 슬레이브는 디코더 블록으로부터 프레임 카운터를 대기한다.
- (2) 프레임 카운터가 감지되면 마스터는 자신의 값을 슬레이브들에게 네트워크를 통해 브로드 캐스트한다. 슬레이브는 수신한 프레임 카운터와 자신의 것

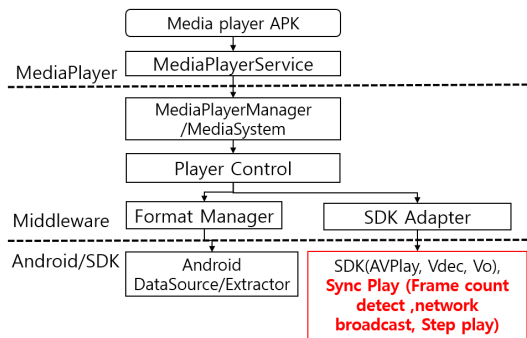


그림 8. 동기재생 미디어 플레이어 구조도
Fig. 8. Sync play media player structure

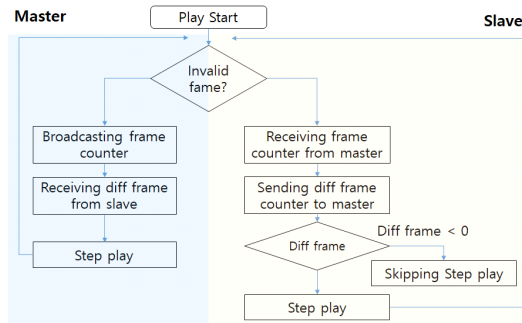


그림 9. 프레임 동기화 알고리즘 동작도
Fig. 9. Frame sync algorithm operation

을 비교하여 재생위치를 판단한다. 느리다면 스텝재생으로 맞추고 빠르면 추가 동작을 생략한다.

(3) 슬레이브는 프레임 차이 값을 마스터에게 전송한다. 마스터는 수신한 프레임 차이 값을 기준으로 슬레이브들을 모니터링 한다.

위 과정을 1/60 주기로 수행함으로써 초당 60프레임의 동기화된 화면출력이 된다.

2.2 화면출력 FPGA 모듈 설계

다수의 신호재생 모듈에 공통 시스템 클럭 입력으로 균일화된 영상 출력이 가능하지만, 신호레벨까지는 동기화 되지 못한다. 이를 위해 One-chip FPGA로 신호 재생 모듈의 HDMI 신호 4개 채널을 입력 받아 영상을 캡처하고 메모리에 저장한 다음 HDMI 4개 채널로 신호레벨까지 동기화하여 출력하는 모듈을 설계하였다.

이 모듈에서는 4K 비디오 신호 입력 4개, 출력 4개를 동시 처리하기 때문에 대용량 데이터 처리를 위해 FPGA와 외부 DDR(Double Data Rate)메모리의 효율적인 설계가 필수적이다.

내부 구성도는 그림 10과 같이 4K HDMI 신호를 캡처하는 블록, 캡처된 영상 데이터를 VDMA (Video Direct Memory Access)를 통해 메모리에 저장하기 위한 메모리 컨트롤러 블록, 출력 신호레벨까지 동기화를 위한 비디오 시그널 동기화 블록, HDMI TX 블록, 그리고 신호재생 모듈에서 필요한 클럭분배 로직으로 구성한다.

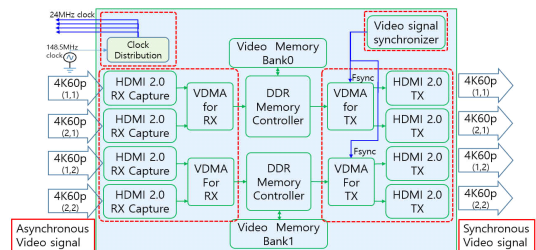


그림 10. 화면출력 FPGA 모듈 내부 구조
Fig. 10. Display output FPGA module structure

2.2.1 다중 영상 신호 입/출력 부 설계

UHD 영상(3840x2160, 60p, YUV422, 10비트)을 HDMI로 전송하기 위해서는 최대 18Gbps 전송 속도를 지원해야 한다^[15]. 본 시스템에서는 One-Chip FPGA로 HDMI 4개 신호를 동시에 처리하도록 고속 통신이 가능한 GT(Gigabit Transceiver)가 최소 4개

가 탑재된 Kintex7 XC7K410T로 선정하였다.

HDMI 블록 구조는 그림 10과 같이 HDMI RX와 TX로 구성되고, 4개 신호로 입력되는 영상을 VDMA에 따라 프레임 단위로 메모리에 저장한다. 이렇게 입력된 내용량의 영상 데이터를 단일 메모리에 저장할 경우 FPGA와 DDR메모리 사이 과도한 데이터 전송 대역폭이 필요하다.

이를 개선하기 위해 메모리 뱅크를 2개로 나눠 화면 (1,1)영역과 (1,2)영역은 뱅크1에 저장하고 (2,1)영역과 (2,2)영역은 뱅크2에 저장하였다. DDR 메모리 동작 스피드는 안정적인 데이터 전송을 위해 500MHz(DDR1000)로 동작하도록 설계하였다.

2.2.2 비디오 출력 신호 동기화기 설계

FPGA에서 화면출력은 DDR 메모리에 캡처된 영상 데이터가 VDMA를 통해 HDMI TX 블록으로 전송되면서 이루어진다. HDMI TX블록은 별도 버퍼가 존재하지 않기 때문에 각 화면 출력을 위한 VDMA만 동기화 시킨다면 전체 화면출력 신호까지 동기화가 가능하다.

VDMA는 외부 신호에 따라 동작이 가능한 Fsync 신호 입력을 지원한다. 화면 출력 VDMA를 하나의 신호로 입력한다면 전체 VDMA가 동기화 된다. 그래서 그림 10과 같이 비디오 신호 동기화기(Video Signal Synchronizer)는 FPGA 내부의 시스템 클럭 148.5MHz를 기반으로 내부 PLL(Phase-Locked Loop)를 이용하여 60Hz 수직 동기신호(60p)를 생성한 다음 VDMA의 Fsync에 공통으로 입력하도록 설계하였다.

2.2.3 시스템 클럭 생성 및 분배 로직 설계

신호재생 모듈 각각에 동기화된 시스템 클럭을 입력하기 위해서는 클럭생성 및 분배 로직을 별도로 회로로 구성하여 추가하여 한다. 본 제안에서는 그림 11과 같이 별도 회로 추가 없이 FPGA 내부 유휴 로직으로 설계하여 구성을 간결화 하였다.

시스템 클럭은 FPGA 모듈의 시스템 클럭

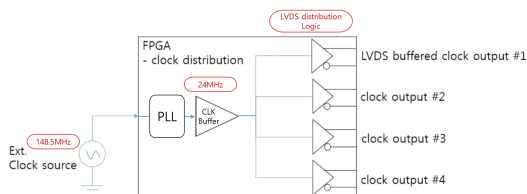


그림 11. 시스템 클럭을 위한 분배 로직
Fig. 11. System clock distribution logic

148.5MHz를 기반으로 내부 PLL로직을 통해 24MHz 클럭을 생성하고, 분배 로직은 클럭 버퍼를 거쳐 외부 노이즈에 강인한 LVDS 신호 4분배 로직으로 설계하였다.

III. 제안 시스템의 구현 결과 및 검증

신호재생 시스템을 모듈화하여 4개를 탑재하고 네트워크로 연동하였으며, One-chip FPGA로 출력 신호 처리 모듈을 설계 및 구현하여 그림 12와 같이 하나의 시스템으로 결합하였다.

본 시스템은 8K UHD를 4개 영역으로 분할 압축한 영상을 지원하며, HDMI 2.0 규격 4개로 8K UHD TV에 연결하여 8K60p 해상도를 출력 할 수 있다.

3.1 화면 출력 검증

구현된 시스템에 8K UHD 영상을 4개 영역으로 분할 압축한 파일을 업데이트하고, 출력영상 확인을 위해 SHARP사의 LC-7X500 8K UHD TV와 HDMI 2.0 규격 4개로 연결하여 그림 12와 같이 8K60p(7680x4320p60) 해상도 출력을 확인하였다.

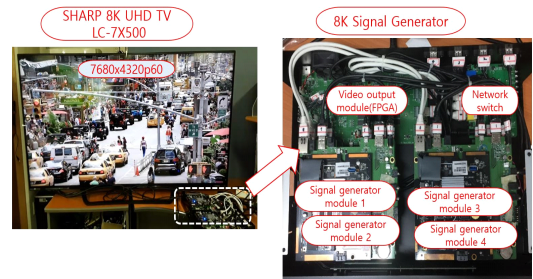


그림 12. 구현된 시스템 및 8K 출력 화면
Fig. 12. Implemented system and 8K video output

3.2 재생 비트레이트 및 스토리지 사용량 검증

제안 시스템은 8K UHD를 4분할 압축한 4K 영상을 동기 재생하면서 8K 신호출력을 한다. 그래서 그림 13와 같이 각 영역의 4K영상 비트레이트를 MediaInfo S/W를 통해 확인하고, 이것을 합산한 값으로 계산하였다.

실험 결과 기존 솔루션 8K 재생 시스템보다 8배 높은 비트레이트를 지원함을 확인하였다.

스토리지 사용량은 8K60p 재생시간 60초 영상으로 100Mbps로 압축한 영상을 사용하는 제안 시스템과 무 압축 영상을 사용하는 솔루션을 산술적으로 비교하였다.



그림 13. 비트레이트 추출 방법
Fig. 13. Bit-rate extraction method

제안 시스템의 스토리지 사용량 식(1)과 같으며, 무압축 솔루션의 스토리지 사용량 식(2)와 같이 계산할 수 있다.

$$\text{Storage1Min} = \text{Bitrate} \times 60 \quad (1)$$

$$\text{Storage1Min} = \text{Width} \times \text{Height} \times \text{Frame-rate} \times \text{Bitdepth} \times 60 \quad (2)$$

기존 솔루션은 118.2GBytes를 요구하는 반면에 제안 시스템은 5.86GBytes로 1/20 절감하는 것을 확인하였다.

표 1. 지원 비트레이트 비교
Table 1. Support bit-rate comparison

	Existed 8K Player	Proposed	etc
Resolution	7680x4320	7680x4320	
Bit-depth	10bit	10bit	
Frame/sec	60	60	
Bit-rate	Max 90Mbps	Max 880Mbps (220Mbps x 4)	800%

표 2. 스토리지 사용량 비교
Table 2. Comparison of storage usage per minute

	Existed	Proposed	etc
Resolution	7680x4320	7680x4320	
Bit-depth	10bit	10bit	
Frame-rate	60	60	
Storage/Min	118.2 GBytes	5.86 GBytes	1/20

IV. 결론

본 논문에서는 다수의 신호재생 시스템을 모듈화하고, 고속 비디오 처리가 가능한 One-chip FPGA를 결합하여 동기화된 다중 분할 출력이 가능한 8K

UHD 신호 재생 시스템을 구현하였다. 기존 시스템에 비해 8배 이상 높은 비트레이트를 지원 하며, 저장 공간은 1/20로 절감하였고, 초당 60프레임을 출력 할 수 있다. 적용 분야로는 고화질 서비스가 필요한 TV판매 매장이거나 고해상도 표시가 필요한 디지털 사이니지등 활용도가 다양할 것으로 기대한다.

본 시스템은 화면출력 부분에 FPGA를 적용하여 향후 다양한 출력방식에 대응 할 수 있다. 이후 추가 연구를 통해 신호재생 시스템 수량을 늘려 다수의 디스플레이와 연동하면 8K 이상의 초고해상도 신호재생 시스템 구현이 가능할 것으로 기대한다.

References

- [1] M. Ki, J. Seok, S. Beack, D. Jang, T. Lee, H. Y. Kim, K. Oh, B. Lim, B. Bae, H. M. Kim, and J. S. Choi, "Development of ATSC 3.0 based UHD TV broadcasting system providing ultra-high-quality service that supports HDR/WCG video and 3D audio, and a fixed UHD/Mobile HD service," *J. Broadcast Eng.*, vol. 22, no. 6, pp. 29-849, Nov. 2017.
- [2] J.-Y. Jung, Y.-S. Cho, D.-J. Choi, and N. Hur, "Implementation of switched digital video using convergence transmission of broadcasting and communication on cable TV broadcasting network," *J. KICS*, vol. 41, no. 3, pp. 359-364, Mar. 2016.
- [3] Y. Sohn, M. Cho, and J. Paik, "Design of 8K broadcasting system based on MMT over heterogeneous networks," *KSII Trans. Internet and Info. Syst.*, vol. 11, no. 8, pp. 4077-4091, Aug. 2017.
- [4] Y. S. Ryu, Y. H. Kim, J. U. Wee, K. Park, W. K. Jeon, and K. W. Kwon, "A design of scalable HEVC decoder and player for 8K UHD," in *Proc. Symp. KICS*, pp. 895-896, Jan. 2017.
- [5] J. Kawamoto and T. Kurakake, "Uncompressed 8K ultra-high definition television transmission over 100G Ethernet in broadcasting station," *2017 Optical Fiber Commun. Conf. and Exhibition (OFC)*, Tokyo, Japan, Oct. 2017.
- [6] T. Onishi, T. Sano, Y. Nishida, K. Yokohari,

K. Nakamura, K. Nitta, K. Kawashima, J. Okamoto, N. Ono, A. Sagata, H. Iwasaki, M. Ikeda, and A. Shimizu, "A single-chip 4K 60-fps 4:2:2 HEVC video encoder LSI employing efficient motion estimation and mode decision framework with scalability to 8K," *IEEE Trans. Very Large Scale Integration (VLSI) Syst.*, vol. 26, no. 10, pp. 1930-1938, Jun. 2018.

[7] L. Braatz, L. Agostini, B. Zatt, and M. Porto, "A multiplierless parallel HEVC quantization hardware for real-time UHD 8K video coding," *2017 IEEE ISCAS*, Baltimore, USA, May 2017.

[8] J.-H. Paik, M. Seo, and K.-A. Yu, "Design and implementation of transmission scheduler for terrestrial UHD contents," *J. Broadcast Eng.*, vol. 24, no. 1, pp. 118-131, Jan. 2019.

[9] Y.-H. Park, J. Mim, M. Kim, W. Lee, and S. Lee, "Programmable multimedia platform based on reconfigurable processor for 8K UHD TV," *IEEE Trans. Consumer Electron.*, vol. 61, no. 4, pp. 516-523, Nov. 2015.

[10] J. Cho, Y. Choi, S. Kim, and S. Lee, "Direct display interface including video post-processing for 8K UHD TV," *2015 IEEE ICCE*, Las Vegas, USA, Jan. 2015.

[11] Sharp, *LC-7X500 Manual*, Retrieved Feb. 18, 2020, from https://jp.sharp/support/aquos/doc/lc70x500_mn.pdf?productId=LC-70X500&_ga=2.40337386.933096158.1513580733-227774982.1501484866

[12] NHK, *HyperCUBE MHP-8000*, Retrieved Feb. 18, 2020, from <https://d.cbw-expo.jp/ja/Expo/4049161/Products/1323985/8K-Hyper-CUBE-MHP-8000>

[13] M. Nakajima, D. Murakami, H. Kubo, T. Baba, and Y. Miki, "System architecture with single chip 8K HEVC decoder for 8K advanced BS receiver system," *2017 Symp. VLSI Circuits*, Kyoto, Japan, Jun. 2017.

[14] M. Nakajima, "Single chip 8K HEVC decoder architecture and implementation," *2017 7th Int. Conf. ICDV*, Hanoi, Vietnam, Oct. 2017.

[15] David Meyer(CEDIA), *HDMI data rates for*

4K HDR formats, Retrieved Feb. 19, 2020, from <https://community.cedia.net/blogs/david-meyer/2018/05/16/hdmi-data-rates-for-4k-hdr>

전 윤 석 (Yoon-seok Jeon)



1998년 2월 : 호남대학교 전자공학과 학사

2001년 2월 : 동국대학교 전자공학과 석사

2006년 2월~2020년 1월 : (주) 디지털존 연구소장

2011년 3월~현재 : 숭실대학교 정보통신공학 박사과정

2020년 4월~현재 : (주)히타치터미널솔루션즈코리아 연구소 부장

<관심분야> 임베디드시스템, 다면 영상시스템, 멀티미디어 동기화, 컴퓨터 네트워크

[ORCID:0000-0001-9993-5225]

김 영 한 (Young-han Kim)



1984년 2월 : 서울대학교 전자공학과 학사

1986년 2월 : 한국과학기술원 전기 및 전자 공학과 석사

1990년 2월 : 한국과학기술원 전기 및 전자 공학과 박사

1994년 1월~현재 : 숭실대학교 정보통신전자공학부 교수

<관심분야> 모바일 네트워크, 이동성 관리 기술, SDN/NFV, 센서 네트워크

[ORCID:0000-0002-1066-4818]