

다중표준 OFDM 시스템용 가변길이 FFT/IFFT 프로세서

정회원 임창완*, 신경욱**^o

A Variable-Length FFT/IFFT Processor for Multi-standard OFDM Systems

Chang-wan Yeem*, Kyung-wook Shin**^o *Regular Members*

요약

다중 표준을 지원하는 OFDM 기반 통신 시스템용 가변길이 FFT/IFFT 프로세서 (VL_FCore)를 설계하였다. VL_FCore는 $N=64 \times 2^k$ ($0 \leq k \leq 7$)의 8가지 길이의 FFT/IFFT를 선택적으로 연산할 수 있으며, in-place 방식의 단일 메모리 구조를 기반으로 FFT 길이에 따라 radix-4와 radix-2 DIF 알고리즘의 혼합구조가 적용된다. 중간 결과 값의 크기에 따른 2단계 조건적 스케일링 기법을 적용하여 메모리 크기 감소와 연산 정밀도 향상을 이루었다. 설계된 VL_FCore의 성능을 평가한 결과, 64점~8,192점 FFT 연산에 대해 평균 60 dB 이상의 SQNR 성능을 가지며, 0.35- μm CMOS 셀 라이브러리로 합성하여 23,000 게이트와 32 Kbytes의 메모리로 구현되었다. VL_FCore는 75-MHz@3.3-V의 클럭으로 동작하며, 64점 FFT 연산에 2.55- μs , 8,192점 FFT 연산에 762.7- μs 가 소요되어 다양한 OFDM 통신 시스템의 요구조건을 만족한다.

Key Words : Fast Fourier Transform(FFT), digital communication, OFDM

ABSTRACT

This paper describes a design of variable-length FFT/IFFT processor (VL_FCore) for OFDM-based multi-standard communication systems. The VL_FCore adopts in-place single-memory architecture, and uses a hybrid structure of radix-4 and radix-2 DIF algorithms to accommodate various FFT lengths in the range of $N=64 \times 2^k$ ($0 \leq k \leq 7$). To achieve both memory size reduction and the improved SQNR, a two-step conditional scaling technique is devised, which conditionally scales the intermediate results of each computational stage. The performance analysis results show that the average SQNR's of 64~8,192-point FFT's are over 60-dB. The VL_FCore synthesized with a 0.35- μm CMOS cell library has 23,000 gates and 32 Kbytes memory, and it can operate with 75-MHz@3.3-V clock. The 64-point and 8,192-point FFT's can be computed in 2.55- μs and 762.7- μs , respectively, thus it satisfies the specifications of various OFDM-based systems.

I. 서론

디지털 유·무선 통신시스템에서 고속 데이터 전송을 위해 OFDM(Orthogonal Frequency Division Multiplexing) 방식의 사용이 폭넓게 확대되고 있다.

OFDM 방식은 다수의 부반송파를 사용하는 다중반송파 변조방식의 일종으로 다중경로 페이딩을 갖는 무선통신 채널에서 주파수 선택성 페이딩을 보상하기 위하여 간단한 등화기로 대처가 가능하며, 협대역 간섭에 강한 특성을 갖는다. 또한 OFDM 방식

* 반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다.

* 다들멀티미디어 SoC개발팀(cwyeeem@tamulm.com), ** 금오공과대학교 전자공학부(kwshin@kumoh.ac.kr), (° : 교신저자)
논문번호 : KICS2009-10-453, 접수일자 : 2009년 10월 9일, 최종논문접수일자 : 2010년 1월 22일

은 고속의 데이터 전송에 적합하여 무선 랜, 휴대 인터넷(WiMax), 광대역 무선 액세스의 표준으로 채택되었으며, 단일 주파수만이 가능하여 DAB(Digital Audio Broadcasting)와 DVB(Digital Video Broadcasting)의 표준으로 채택되는 등 디지털 무선통신 및 방송 시스템에 폭넓게 이용되고 있다.^{[1]-[4]}

OFDM 기반 통신시스템의 변·복조는 고속 푸리에 변환(Fast Fourier Transform; FFT)과 IFFT (Inverse FFT)를 통해 이루어지며, 부반송파의 수에 따라 FFT 길이가 달라진다. OFDM 응용 시스템에 따라 부반송파의 수가 다르므로 다양한 길이의 FFT 코어가 사용되며^{[5],[6]}, 따라서 FFT 길이를 가변할 수 있는 FFT/IFFT 프로세서가 필요하다. FFT 프로세서는 일반적으로 파이프라인 구조와 단일 메모리 구조가 사용된다^{[7],[14]}. 파이프라인 구조는 다수의 복소수 곱셈기와 덧셈기를 사용하므로, 높은 처리율을 얻을 수 있지만 큰 면적을 필요로 한다. 반면에, 단일 메모리 구조는 하나의 나비연산기와 중간결과값 저장 메모리를 사용하므로 처리율은 낮으나 작은 면적으로 구현이 가능하다는 장점이 있다^{[7],[9]}.

본 논문에서는 단일 메모리 구조를 이용하여 64 점~8,192점의 FFT/IFFT를 선택적으로 연산할 수 있는 가변길이 FFT/IFFT 프로세서를 설계하였다. 설계된 회로의 연산정밀도와 연산속도 분석을 통해 OFDM 기반의 다양한 통신시스템에 사용 가능함을 보였다.

II. 단일 메모리 구조의 FFT/IFFT 프로세서

2.1 가변길이 FFT/IFFT 프로세서의 구조

단일 메모리 구조를 기반으로 $N = 64 \times 2^k$ (단, $0 \leq k \leq 7$)의 8가지 길이의 FFT와 IFFT를 선택적으로 연산할 수 있는 가변길이 FFT/IFFT 프로세서 코어 VL_FCore를 설계하였다. VL_FCore의 구조는 그림 1과 같으며, 메모리 뱅크, 입력버퍼(INB), radix-2/radix-4 혼합구조의 나비연산기(BFU), 복소수 곱셈기(CMUL), 격자계수 생성기(TF_Gen), 2단계 조건부 스케일링을 위한 CSB_1st 및 CSB_2nd 블록, 그리고 이들 블록의 동작을 제어하기 위한 제어블록(CLU) 등으로 구성된다.

VL_FCore는 중간 결과값을 단일 메모리에 저장하기 위하여 in-place 방식의 메모리 주소를 사용하고, 저면적 구현을 위해 하나의 나비연산기와 하나의 복소수 승산기만 사용되었다. 복소수 승산기는 RB(Redundant Binary) 수체계를 기반으로 문헌

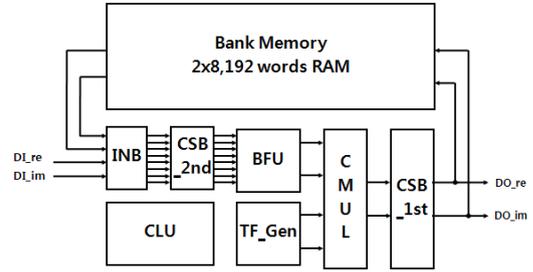


그림 1. VL_FCore 프로세서의 구조
Fig. 1. Architecture of VL_FCore processor

[10]에 발표된 radix-4 Booth 인코딩과 RB 부분곱 변환을 사용하여 구현함으로써 고속 동작이 가능하도록 하였다. 또한 2단계 조건적 스케일링(Two-Step Conditional Scaling; TS_CS) 방법을 적용하여 연산정밀도를 향상시켰다.

2.2 R2/R4 hybrid 구조의 나비 연산기

일반적으로 나비 연산기는 radix-2 또는 radix-4가 사용되며, radix-2의 경우 구현이 간단하고, 크기가 $N = 2^k$ 인 FFT/IFFT의 구현이 용이한 장점이 있다. 그러나 $\log_2 N$ 만큼의 연산단계가 필요하여 FFT 연산시간이 증가하게 된다. 반면에, radix-4의 경우는 $\log_4 N$ 만큼의 연산단계를 가져 radix-2에 비해 고속 연산이 가능하나 $N = 4^k$ 이 아닌 경우에는 적용이 어렵다^[11].

$N = 64 \times 2^k$ (단, $0 \leq k \leq 7$)의 8가지 길이에 대하여 FFT/IFFT 연산을 수행할 수 있도록 하기 위해 그림 2와 같이 radix-2 DIF 알고리즘과 radix-4 DIF 알고리즘이 선택적으로 적용되는 R2/R4 혼합 구조를 사용하였다. R2/R4 혼합구조의 나비연산기

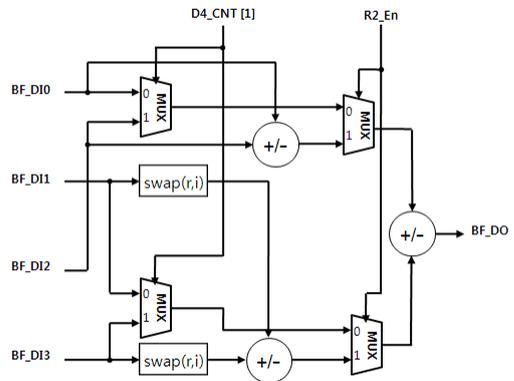


그림 2. R2/R4 혼합구조의 나비연산기
Fig. 2. Butterfly arithmetic block of R2/R4 hybrid structure

에서 swap 블록은 실수부와 허수부의 교환을 수행하며, 4개의 MUX는 radix-2 연산을 위해 사용된다. 제안된 구조의 나비연산기를 이용하면 $N=4^M \times 2^R$ 의 FFT/IFFT 연산을 위해 M번의 radix-4 나비연산과 R번의 radix-2 나비연산이 필요하여 총 (M+R)번의 연산단계가 수행되며, N점 FFT/IFFT 연산에 $(M+R) \times N$ 사이클이 소요된다. FFT 길이에 따른 연산단계 수와 소요 사이클의 수는 표 1과 같다.

표 1. FFT 길이에 따른 연산단계 및 사이클 수
Table 1. Number of stages and cycles for FFT lengths

FFT 길이(N)	# of R4 stages (M)	# of R2 stages (R)	# of cycles
64	3	0	(M+R) × N
128	3	1	
256	4	0	
512	4	1	
1,024	5	0	
2,048	5	1	
4,096	6	0	
8,192	6	1	

2.3 In-place 메모리주소 생성회로

VL_FCore에서는 단일 메모리를 이용하여 FFT 연산의 중간결과 값을 저장한다. 메모리는 dual-port RAM으로 구현되며, 실수부와 허수부 각각 16비트의 데이터를 저장하기 위해 2×8,192 워드를 가진다. 각 연산단계에서 메모리에 저장되는 데이터들은 in-place 방식의 주소를 갖는다.

VL_FCore는 64~8,192점 범위의 가변길이 FFT/IFFT 연산을 수행하므로, 메모리 주소의 효율적인 생성이 중요하다. 본 논문에서는 메모리 주소의 효율적인 생성을 위해 그림 3과 같이 메모리 주소 생

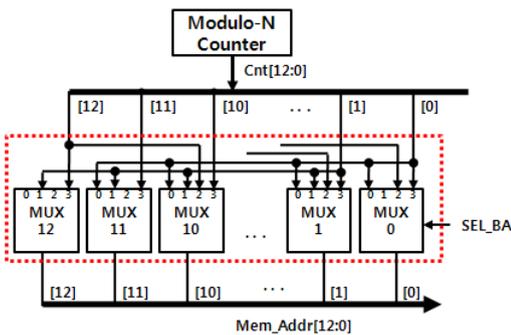


그림 3. In-place 메모리주소 생성회로
Fig. 3. In-place memory address generator

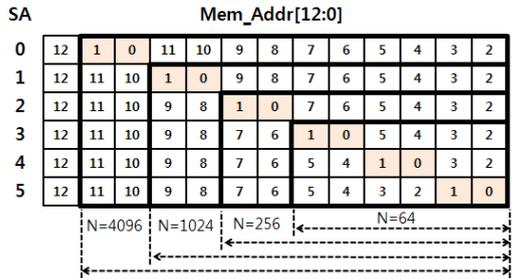
성회로를 구현하였다. 13비트의 메모리 주소 Mem_Addr[12:0]은 modulo-N 계수기의 출력 Cnt[12:0]와 13개의 MUX에 의해 생성되며, MUX의 선택신호 SEL_BA는 FFT 길이 N과 연산단계에 따라 그림 4의 알고리즘에 의해 결정된다. 그림 3의 회로에 의해 생성되는 메모리 주소는 FFT 길이 N과 연산단계에 따라 그림 5의 관계를 가지며, 연산단계와 SA의 관계는 그림 4의 정의를 따른다.

```

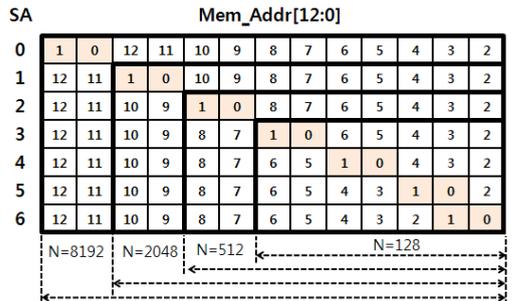
K      = 6-M;
SA     = STAGE + K;    // Selection Address
OS_SA  = SA*2;        // Offset SA

for(i=0;i<13;i++) begin
P = i + OS_SA;
if(P>12)  SEL_BA[i] = 3;
else if(P<10) SEL_BA[i] = 2;
else
    case(p)
        12: SEL_BA[i] = 2*(not(R))+1;
        11: SEL_BA[i] = not(R);
        10: SEL_BA[i] = 2*R;
        default : SEL_BA[i] = 3;
    endcase
end
    
```

그림 4. SEL_BA 신호 생성 알고리즘
Fig. 4. Algorithm for generating SEL_BA signal



(a) R4 연산만 사용되는 경우



(b) R4와 R2 연산이 모두 사용되는 경우

그림 5. FFT 길이 N과 연산단계에 따른 in-place 메모리주소
Fig. 5. In-place memory addresses according to FFT length N and stages

2.4 2단계 조건적 스케일링 방법

FFT/IFFT 연산은 나비연산과 복소수 곱셈으로 구성되는 연산단계를 거치면서 내부 데이터의 비트 수가 증가하게 된다. 따라서 고정된 크기를 갖는 단일 메모리 구조에서는 데이터의 스케일링이 필수적이다. 본 논문에서는 연산 정밀도를 높이기 위하여 2단계 조건적 스케일링을 수행하는 TS_CS 알고리즘을 고안하여 적용하였다. TS_CS는 복소수 연산이 완료된 데이터를 스케일링하는 CSB_1st 블록과 각 연산단계의 스케일링 지수 SSI를 기준으로 다운 스케일링하는 CSB_2nd 블록에 의해 이루어진다.

그림 6은 TS_CS 알고리즘의 적용과정을 보이고 있으며, CSB_1st 블록은 NCB_Detector, SSI 생성기(SSl_Gen), 그리고 업-스케일링 회로(USU) 등으로 구성된다. NCB_Detector는 복소수 곱셈기 출력 31비트의 상위 4비트를 이용하여 스케일링 가능한 비트 수 NCB를 찾으며, USU는 NCB를 이용하여 첫 번째 스케일링을 수행한다. 스케일링된 14비트의 데이터는 2비트의 NCB와 함께 메모리에 저장된다. SSI_Gen은 매 연산단계마다 가장 작은 NCB 값인 SSI를 생성한다. CSB_2nd 블록은 8개의 다운-스케일링 회로(DSU)로 구성되며, 각각의 DSU는 이전 연산단계에서 발생된 SSI와 입력 데이터의 NCB에 해당하는 상위 2비트의 차이를 구하고 이를 이용하여 스케일링 보정을 한다. 예를 들어 CSB_2nd에 입력되는 16비트의 데이터가 1101_1000_1001_0100 이면, 상위 2비트 11은 NCB에 해당되어 이전 연산

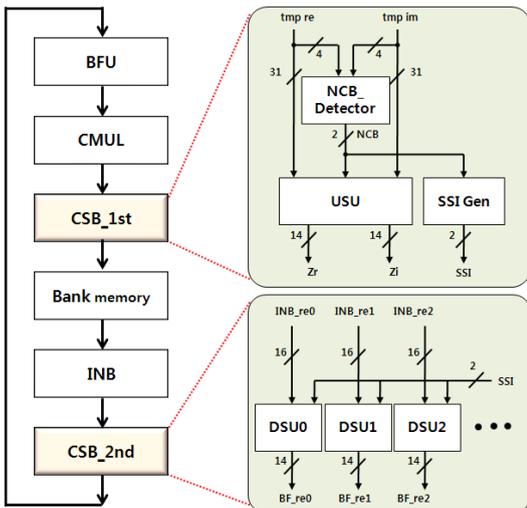


그림 6. TS_CS 알고리즘의 적용과정 및 구현
Fig. 6. Process and implementation of TS_CS algorithm

단계에서 3비트의 스케일링이 이루어진 데이터임을 의미하며, 하위 14비트는 가수(mantissa) 부분이 된다. 이때의 SSI가 01이라고 하면, $NCB - SSI = 2$ 이므로 2비트의 스케일링이 초과되어 수행되었음을 의미한다. 따라서 CSB_2nd은 이를 보상하여 14비트 00_0110_0010_0101을 출력한다.

8,192점 FFT 연산의 경우, 7개의 연산단계 중 마지막 연산단계를 제외한 6개의 연산단계에서 TS_CS가 적용되어 최대 18비트의 스케일링 효과가 발생된다. 따라서 제안된 TS_CS 방법은 단일 메모리 구조의 FFT/IFFT에서 연산 정밀도를 높이기 위한 효과적인 방법이다.

2.5 격자계수 생성기

복소수 곱셈에 사용되는 격자계수는 sine 함수와 cosine 함수의 한 주기 샘플링 값들이 ROM에 저장되며, FFT 길이가 긴 경우에는 격자계수를 저장하는 ROM의 크기가 매우 커지게 된다. 본 논문에서는 cosine 함수와 sine 함수의 대칭성을 이용하여 1/8 주기만을 ROM에 저장한 후, ROM의 읽기주소 제어를 통해 각 연산단계에서 필요한 격자계수가 생성되도록 하였다. 격자계수 생성기는 그림 7과 같이 주소 선택기(TF_AS), cosine과 sine 값을 저장하는 ROM, 그리고 격자계수 디코더(TF_DCD)로 구성된다.

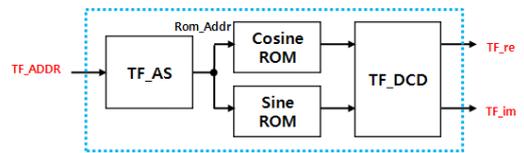


그림 7. 격자계수 생성기
Fig. 7. Twiddle factor generator

III. 성능평가 및 설계검증

Verilog HDL로 설계된 VL_FCore의 연산정밀도를 Modelsim과 Matlab을 이용하여 그림 8의 과정으로 평가하였다. 2진 랜덤신호를 생성하여 16-QAM 변조한 후, 부동점(floating-point) 연산을 갖는 이상적인 IFFT와 이득조정을 거쳐 양자화된 데이터를 시뮬레이션 데이터로 사용하였다.

그림 9는 설계된 VL_FCore가 8,192점 FFT를 연산하는 경우에 대한 시뮬레이션 결과이다. 시뮬레이션에 사용된 입력 데이터는 그림 9-(a)에서 좌측 상단의 정상도와 같으며, 좌측 하단의 정상도는

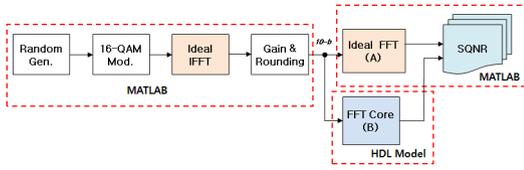
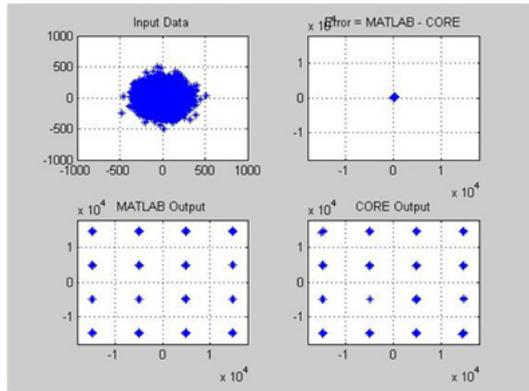
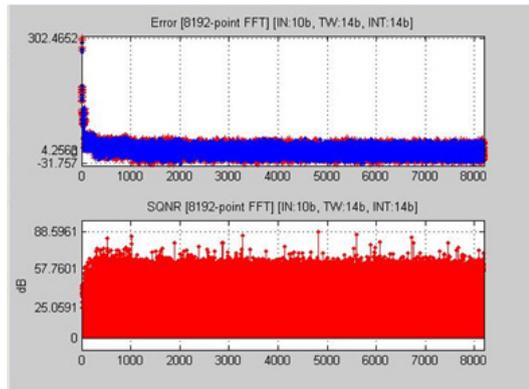


그림 8. 성능평가 방법
Fig. 8. Performance evaluation method



(a) Constellations



(b) Error and SQNR

그림 9. 성능평가 결과 (N=8,192)
Fig. 9. Performance evaluation results (N=8,192)

Matlab에서 얻어진 이상적 FFT 출력이고, 우측 하단의 정상도는 Modelsim 시뮬레이션에서 얻어진 FFT 출력이다. Matlab에서 얻어진 이상적인 FFT 출력과 설계된 VL_FCore의 시뮬레이션 출력의 오차는 그림 9-(a)의 우측 상단의 정상도와 같으며, 오차의 범위가 매우 작음을 확인할 수 있다.

설계된 VL_FCore의 연산정밀도는 식(1)로 정의되는 SQNR(Signal-to-Quantization-Noise Ratio)을 통해 평가할 수 있으며, 식(1)에서 A는 Matlab에서

얻어지는 이상적인 FFT 출력이고, B는 VL_FCore의 Modelsim 시뮬레이션 출력이다. 8,192점 FFT를 연산하는 경우에 대한 연산오차와 SQNR 특성은 그림 9-(b)와 같으며, 평균 57.76 dB의 SQNR 성능이 얻어졌다.

$$SQNR = \frac{\sum [Re(A)]^2 + \sum [Im(A)]^2}{\sum [Re(A) - Re(B)]^2 + \sum [Im(A) - Im(B)]^2} \quad (1)$$

그림 10은 8,192점 FFT를 연산하는 경우에 대한 VL_FCore의 내부 비트 수에 따른 SQNR 성능을 분석한 결과이다. 입력 6비트, 출력 16비트, 격자계수 14비트로 고정된 상태에서 내부 비트 수를 10~18비트로 변화시키면서 SQNR을 분석하였으며, 14비트 이상에서 60 dB 이상의 SQNR이 얻어졌다.

입력 10비트, 내부 비트 수 14비트로 고정된 상태에서 격자계수의 비트 수를 8~18비트로 변화시키면서 VL_FCore의 게이트 수와 SQNR을 분석한 결과는 그림 11과 같으며, 격자계수가 14비트인 경우에 19,548개의 게이트와 61.35 dB의 SQNR 성능을

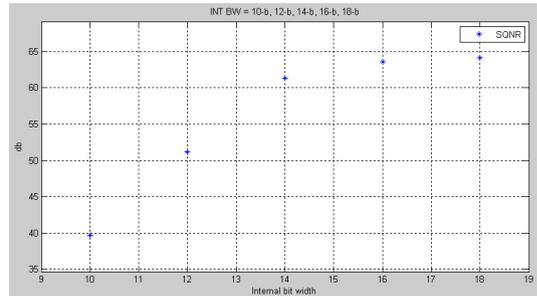


그림 10. 내부 비트 수에 따른 SQNR 성능 (N=8,192)
Fig. 10. SQNR performance for various internal bit-width (N=8,192)



그림 11. 격자계수 비트 수에 따른 면적과 SQNR 성능 (N=8,192)
Fig. 11. Area and SQNR performance for various Twiddle factor bit-width (N=8,192)

갖는다.

표 2는 입력 10비트, 격자계수 14비트, 중간 결과값 14비트로 설계된 VL_FCore의 FFT 길이 N에 따른 SQNR과 연산시간 성능을 보이고 있으며, 응용 시스템에서 요구되는 FFT 연산시간을 함께 나타내었다. VL_FCore의 FFT 연산 SQNR은 최소 57.39 dB (N=2,048)에서부터 최대 64.68 dB (N=64)을 가지며, 연산시간이 각 응용 시스템에서 요구되는 조건을 모두 만족하는 것으로 나타났다.

설계된 VL_FCore 코어는 0.35 μ m CMOS 셀 라이브러리로 합성하여 게이트 수와 지연시간을 추출하였다. 메모리를 제외한 게이트 수는 22,965이고, 최대 지연시간은 10.0-ns로 나타났다. 레이아웃 배선에 의한 추가적인 지연 30% 고려하더라도 75 MHz로 안전하게 동작할 수 있을 것으로 평가된다.

표 3은 VL_FCore와 문헌에 발표된 FFT 프로세

표 2. FFT 길이에 따른 VL_FCore의 성능
Table 2. Performance of VL_FCore for FFT length N

FFT 길이(N)	SQNR		연산시간 [μs]	유효 심볼길이[μs] (응용 시스템)
	FFT	IFFT		
64	64.68	59.65	2.55	3.2 (WLAN)
128	61.74	58.75	6.81	160 (ACIS)
256	61.47	59.11	13.62	125 (DAB III)
512	59.53	57.63	34.05	250 (DAB II) 234 (ADSL)
1,024	59.97	58.28	68.10	500 (DAB IV) 102.4 (Wi-Max)
2,048	57.39	56.40	163.43	1000 (DAB I) 224 (DVB-T:2k)
4,096	58.60	56.95	326.86	448(DVB-H:4k)
8,192	57.76	55.40	762.68	896 (DVB-T:8k)

표 3. FFT 프로세서의 성능 비교
Table 3. Comparison of FFT processors

	Spiffee ^[7]	CS2410 ^[12]	CFMR ^[13]	This paper
Technology [μm]	0.7	0.18	0.18	0.35
FFT 길이(N)	1,024	1,024	64~1,024	64~8,192
SQNR (N=1,024)	N/A	55	65	59.96
Gate count	115,000	39,000	37,000	22,965
Frequency [MHz]	173	100	100	75
Memory [KByte]	4.5	4.0	8.0	32.0
Radix	radix-2	mixed	mixed	radix-2/-4
In-place	Yes	Yes	Yes	Yes
Word length [bit]	18	16	16	14
Cycles (N=1,024)	5,100	5,175	1,280	5,120

서의 비교를 보이고 있으며, 본 논문의 설계가 저면적으로 구현되었음을 확인할 수 있다. 한편, 1,024점 FFT를 계산하는 문헌 [12]의 결과와 비교하여 본 논문의 FFT 프로세서는 8,192점 FFT까지 계산할 수 있으므로 8배의 메모리가 사용된다.

IV. 결 론

다중 표준을 지원하는 OFDM 기반 통신 시스템에 활용할 수 있는 가변길이 FFT/IFFT 프로세서 VL_FCore를 설계하였다. 64~8,192점 범위의 8가지 FFT/IFFT 연산을 선택적으로 수행하며, 나비연산기와 복소수 곱셈기를 각각 하나씩 사용하여 저면적으로 구현하였고, 메모리 감소와 정밀도 향상을 위해 2단계 조건적 스케일링을 적용하였다. FFT 연산에 대한 성능평가 결과, 평균 60 dB 이상의 SQNR을 가지며, 75-MHz로 동작하는 경우 8,192점 FFT/IFFT 연산에 762.7-μs가 소요되어 DVB-T 표준에서 제시하는 유효 심볼구간인 896-μs를 충분히 만족한다. 설계된 VL_FCore는 무선랜, DAB, DVB-T, DVB-H, Wi-Max 등 OFDM 기반의 다양한 통신 시스템에 폭넓게 사용될 수 있을 것이다.

참 고 문 헌

- [1] J.A.C. Bingham, "Multicarrier modulation for data transmission: an idea whose time has come," *IEEE Commun. Mag.*, Vol.28, pp.17-25, Mar., 1990.
- [2] H. Sari, G. Karam, and I. Jeanclaude, "Transmission techniques for digital terrestrial TV broadcasting," *IEEE Commun. Mag.*, Vol.33, pp.100-109, Feb., 1995.
- [3] 조용수, 무선 멀티미디어 통신을 위한 OFDM 기초, 대영사, 2001.
- [4] 김재석, 조용수, 조중휘, 이동통신용 모델의 VLSI 설계 - CDMA, OFDM, MC-CDMA, 대영사, 2000.
- [5] J.C. Kuo, C.H. Wen, A.Y. Wu, "Implementation of a programmable 64~2048-point FFT/IFFT processor for OFDM-based communication systems," *Proceedings of the IEEE Int. Symp. on Circuits and Systems*, Vol.2, pp.121-124, May 2003.
- [6] 이진우, 신경욱, 김종환, 백영석, 어익수, "OFDM

모뎀용 FFT/IFFT IP 자동 생성기,” 한국통신학회논문지, 제31권 제3A호, pp. 368-376, 2006.

[7] B.M. Baas, “A low-power, high-performance, 1024-point FFT processor,” *IEEE Journal of Solid-State Circuits*, Vol.24, No.3, pp.380-387, Mar. 1999.

[8] H. Shousheng and , M. Torkelson, “Design and implementation of a 1024-point pipeline FFT processor”, *Proc. of IEEE Custom Integrated Circuits Conference*, pp.131-134, 1998.

[9] E. Bidet, D. Castelain, C. Joanblanq, P. Senn, “A fast single-chip implementation of 8192 complex point FFT”, *IEEE Journal of Solid-State Circuits.*, Vol. 30 Issue-3, pp.300-305, Mar., 1995.

[10] Kyung-Wook Shin, Bang-Sup Song, Kantilal Bacrania, “A 200-MHz complex number multiplier using redundant binary arithmetic”, *IEEE Journal of Solid-State Circuits*, Vol.33, No.6, pp.904-909, Jun., 1998.

[11] Y.J. Hongil and J. Kim, “New efficient FFT algorithm and pipeline implementation result for OFDM/DMT applications”, *IEEE Trans. on Consumer Electronics*, Vol.49, No.1, pp.14-20, Feb. 2003.

[12] Amphion, CS2410 8-1024 Point FFT/IFFT, Jul. 2001.

[13] B.G. Jo and M.H. Sunwoo, “New continuous-flow mixed-radix (CFMR) FFT processor using novel in-place strategy,” *IEEE Trans. on Circuits and Systems I: Regular Papers*, Vol.52, No.5, pp.911-919, May 2005.

[14] 임창완, 신경욱, “단일메모리 구조의 가변길이 FFT/IFFT 프로세서 설계”, *한국해양정보통신학회 추계학술대회 논문집*, pp.393-396, 2009. 10

임 창 완 (Chang-wan Yeem)

정회원



2008년 2월 금오공과대학교 전
자공학과
2010년 2월 금오공과대학교 전
자공학과 공학석사
2010년 1월~현재 다물멀티미
디어 SoC 연구팀
<관심분야> 통신 및 신호처리
용 SoC 설계, 정보보호
SoC 설계, 반도체 IP 설계

신 경 욱 (Kyung-Wook Shin)

정회원



1984년 2월 한국항공대학교 전
자공학과(공학사)
1986년 2월 연세대학교 대학원
전자공학과(공학석사)
1990년 8월 연세대학교 대학원
전자공학과 (공학박사)
1990년 9월~1991년 6월 한국
전자통신연구소 반도체연구
단(선임연구원)
1991년 7월~현재 금오공과대학교 전자공학부(교수)
1995년 8월~1996년 7월 Univ. of Illinois at
Urbana-Champaign(방문교수)
2003년 1월~2004년 1월 Univ. of California at
San Diego(방문교수)
<관심분야> 통신 및 신호처리용 SoC 설계, 정보보
호 SoC 설계, 반도체 IP 설계