

FPGA 기반 다자간 실시간 디지털 오디오 합성기 구현

오도봉[°], 백승철^{*}, 최한고^{*}

Implementation of the FPGA Based Multi-Party Real-Time Digital Audio Mixer

Do-Bong Oh[°], Seung-Cheol Baek^{*}, Han-Go Choi^{*}

요약

최근 VoIP와 같은 패킷 기반 통신 방식은 아키텍처의 개선으로 품질이 향상되어 음성 통화, 화상 수업 및 회의 솔루션과 같은 다양한 영역에서 융합되어 빠르게 확산되고 있다. 실시간 다자간 오디오 서비스에서 중요한 음성 처리 모듈은 오디오 합성기로서 디지털 합성기는 프로세서 기반으로 구현되므로 순차적 수행과정으로 인해 처리 속도에는 한계가 있다. 또한 VoIP에서 오디오 서비스 품질은 다양한 환경에 의하여 영향받는데, 특히 오디오 패킷을 변환하고 합성하는 처리 시간이 길어지면 오디오 서비스 품질을 보장할 수 없다. 이를 극복하기 위해 본 논문에서는 VoIP 다자간 오디오 신호처리를 위한 디지털 오디오 합성기를 FPGA 하드웨어로 설계하고, 오디오 신호 합성 및 패킷 구성을 고속 병렬 처리 방식으로 코딩하여 처리시간 최소화를 통한 오디오 서비스 품질 개선 방안을 제시하였다. 제안된 방안으로 시스템을 검증한 결과 패킷을 구성 하는데 소요되는 시간은 RFC 3551 규격에서 제안된 20ms 보다 훨씬 낮은 1.024ms내에서 최대 256명의 참가자에 대한 오디오 신호를 합성하고 패킷을 구성 할 수 있음을 확인 하였다.

Key Words : VoIP, Audio Mixer, Multy-parry Audio Call, Quality of Service, Audio signal processing

ABSTRACT

Recently, packet-based communication methods such as VoIP have improved quality due to architectural improvements, which have converged and rapidly spread in various areas such as voice calls, video lessons, and conference solutions. One of the most important voice processing modules in the real-time multi-party audio service is an audio mixer, and since the digital mixer is implemented on a processor basis, the processing speed is limited due to the sequential execution process. In addition, the audio service quality of VoIP is influenced by various environments, especially when the processing time for converting and mixing audio packets is long, the audio service quality cannot be guaranteed. To overcome this, in this paper, a digital audio mixer is designed with FPGA hardware for VoIP multi-party audio signal processing, and audio signal mixing and packet composition are coded in a high-speed parallel processing method to improve audio service quality by minimizing processing time. As a result of verifying the system with the proposed method, it is confirmed that the time required time for mixing audio signals and configuring the packet is within 1.024ms for up to 256 participants, which is much lower than the 20 ms proposed by the RFC 3551 specification.

[°] First and Corresponding Author : NEXPION, Kumoh National Institute of Technology, odb@nexpion.com, 정희원

^{*} DAEYANG ELECTRIC Co.,Ltd, scbaek@daeyang.co.kr; Kumoh National Institute of Technology, hgchoi@kumoh.ac.kr

논문번호 : 202207-126-D-RN, Received July 5, 2022; Revised September 22, 2022; Accepted September 22, 2022

I. 서론

최근 VoIP(Voice over Internet Protocol)와 같은 패킷 기반 통신 시스템은 아키텍처의 발전으로 인하여, 이를 이용한 음성 통화, 화상 수업 및 회의 솔루션과 같은 다양한 영역에서 융합되어 빠르게 확산되고 있다¹⁾. 그러나 기존에 VoIP를 이용한 음성 통화가 빠르게 활성화되지 않은 이유는 기존 공중 회선 교환망(PSTN)과 동일한 수준의 서비스 품질을 제공받지 못했기 때문이다²⁾.

실시간 오디오 서비스의 핵심은 대용량의 오디오 데이터의 전송 시간을 최소화하는 게 목적이고, 이때 시간 제약성에 맞추어 전달하는 과정에서 오디오 품질에 대한 이슈가 발생할 수 있고, 이러한 이슈는 코덱 지연(Codec Delay) 및 에코(Echo) 발생, 패킷 손실(Packet Loss), 패킷 지연(Packet Delay), 지터(Jitter) 및 도착 순서 변경 등에 의해 발생한다. 이러한 현상의 정도가 최종 사용자 단에서의 오디오 서비스 품질(Quality of Service, QoS)에 대한 결정요소라 할 수 있다. 이 중 패킷 전송 시간 지연과 패킷 손실은 QoS에 큰 영향을 미친다³⁾. VoIP 서비스에서 공중 회선 교환망과 동일한 오디오 서비스 품질을 보장하기 위해서는 패킷 전송 시간 최소화가 핵심적인 요소이다.

최근에는 일대일 방식의 VoIP 서비스에서 여러 명이 한꺼번에 음성 통화 서비스를 이용할 수 있는 다자간 음성 통화 시스템⁴⁾으로 발전하는 추세이다. 일반적으로 일대일 통화에 비해 다자간 통화에 가장 중요한 음성 처리 모듈은 오디오 합성기이다. 오디오 합성기는 참가자의 음성 샘플을 혼합하여 참가자가 동시에 말하는 모든 참가자의 음성을 들을 수 있도록 한다⁵⁾. 따라서 다자간 음성 통화 시 QoS를 보장하기 위해서는 여러 참가자들로부터 전송받는 음성 정보를 실시간으로 합성을 수행하는 오디오 합성기의 역할이 매우 중요하다⁶⁾.

오디오 합성기는 신호의 처리 방식에 따라 아날로그 합성기와 디지털 합성기로 나눌 수 있다. 아날로그 합성기의 경우 디지털 합성기에 비해 신호처리 과정이 간단하고 아날로그 하드웨어 회로로 구성되어 있어 디지털 합성기에 비해 높은 안정성을 제공한다⁷⁾. 그러나 한 채널당 일정한 공간을 차지하기 때문에 채널 규모에 따라 크기가 기하 급수적으로 증가하며, 그에 따른 보드 및 장비들을 따로 구비해야 하는 단점이 있다. 디지털 합성기를 소프트웨어로 구현한 경우 소프트웨어의 오류에 의해 안정성이 취약하다는 단점이 있다.

최근에는 VoIP 시스템의 패킷 처리는 더 이상 네트워크 프로세서 또는 응용 프로그램별 회로가 필요하지

않으며 PC, ARM, MIPS 또는 x86기반 고성능 프로세서가 많이 사용되고 있다⁸⁾. 본 논문에서는 VoIP의 중단에서의 처리 지연, 즉 패킷 지연 시간을 최소화하여 QoS를 개선 하기 위한 방법으로 디지털 오디오 합성기를 고속의 병렬 처리가 가능한 FPGA 기반 하드웨어 시스템으로 구현하는 방안을 제안한다.

II. VoIP 기반 다자간 음성 통화 시스템

2.1 다자간 음성 통화 시스템 구성도

다자간 음성 통화의 핵심 기술 중 하나는 세션(Session)을 호스팅 하고 관리하기 위한 전용 하드웨어인 MCU(Multipoint Control Unit)이다. [그림 1]에서는 MCU가 모든 참가자로부터 오디오 신호를 수신하고, 이러한 신호를 한 번에 혼합한 후 혼합된 신호를 각 참가자에게 다시 배포하는 스타 토폴로지(Star-topology) 네트워크 기반 MCU 구조를 보여준다.

이러한 토폴로지는 오디오 신호를 혼합하여 인코딩한 다음 인코딩된 신호를 각 참가자에게 다시 보내는데 자신의 목소리를 듣지 못하도록 하려면 MCU는 각 참가자에 대해 서로 다른 혼합 신호를 생성하고 인코딩 해야 한다. 이는 참가자와 네트워크의 부담이 줄어드는 반면 서버의 프로세서 처리 부하가 매우 커져 높은 사양의 프로세서 사용이 요구되는 방식이다. MCU 내 프로세서의 처리 부하는 참가자의 수에 비례하여 증가하며, 이러한 오디오 신호 혼합 처리시간은 오디오

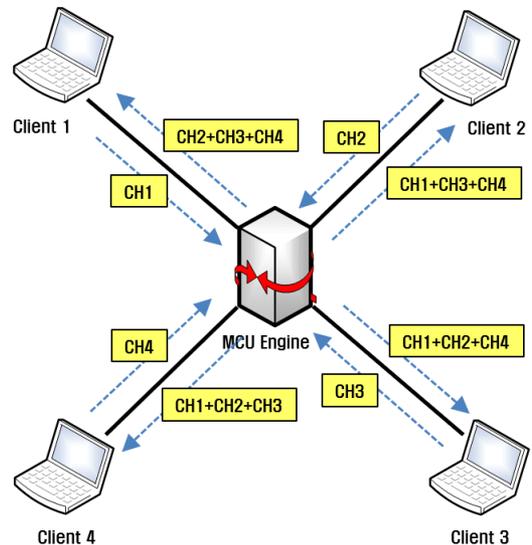


그림 1. 스타 토폴로지 네트워크의 MCU 오디오 엔진
Fig. 1. MCU audio engine on star-topology network

서비스 품질 저하에 직접 영향을 미친다.

VoIP 다자간 음성 통화 시스템에서 QoS를 만족하기 위해서는 참가자의 음성 패킷 합성과 인코딩 및 디코딩을 수행하는 처리시간을 최소화해야 한다. 이러한 처리시간 지연은 사용된 음성 코덱 및 프로세서 속도에 따라 달라진다.

2.2 다자간 음성 통화 처리 방법

ITU-T H.323 표준은 IP 기반 네트워크에서 UDP (Unreliable Transport Protocol)를 통해 오디오 및 비디오 스트림(Stream)을 전송하기 위해 RTP 또는 RTCP를 사용한다. MCU는 3개 이상의 단말기가 다자간 통화에 참여할 수 있는 기능을 제공하는 네트워크의 종단이다. MCU는 다채널 컨트롤러(MC)와 다채널 처리기(MP)의 두 부분으로 구성되며, MP는 다자간 통화에서 오디오 및 비디오 스트림의 중앙 집중식 처리를 수행한다. 오디오 합성기의 가장 기본적인 형태는 각 참가자의 디코더에서 수신한 입력 스트림을 선형으로 추가한다. $x_j(n)$ 을 j 번째 오디오 스트림의 n 번째 샘플이라고 하면 믹서에서 혼합된 스트림의 n 번째 샘플은 수식 (1)과 같이 주어진다. 여기에서 M 은 참가자 수이다⁹⁾.

$$y(n) = \sum_{j=1}^M x_j(n) \quad (1)$$

[그림 2]는 RTP를 사용하는 일반적인 IP 기반 회의 시스템에 대하여 설명하고 있다. 시스템에서 단말기(Terminals)는 음질 향상을 위해 특정 오디오 처리 알고리즘을 통해 오디오 스트림을 전달한다. 이러한 단말기는 오디오 스트림 인코딩 전에 자동 레벨 제어(Automatic Level Control), 음성 활성화감지(Voice Activity Detection) 기술을 사용하기도 한다. MCU로 입력된 RTP 스트림은 회의 구성 및 참가자 수에 따라 에코 제거를 위해 각 수신 터미널의 신호를 제외한 오디오 신호를 합성한다.

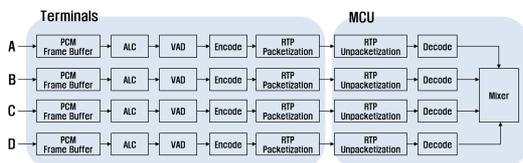


그림 2. RTP를 사용하는 일반적인 IP 기반 회의 시스템
Fig. 2. A Typical IP based Conferencing System with RTP

III. 제안 방법 및 설계

3.1 제안 시스템 하드웨어

일반적으로 다자간 음성 통화 시스템의 미디어 게이트웨이는 고성능 DSP 프로세서로 설계된다¹⁰⁾. DSP 칩은 고성능 대용량 온 칩 메모리로 인하여 기본 통신 기능 이외에도 다양한 음성 코딩 알고리즘을 구현할 수 있는 유연성을 제공한다. 그러나 DSP 간에 압축되지 않은 스트림을 전달하는데 필요한 대역폭의 양은 엄청나다. 범용 임베디드 프로세서에 DSP 기능을 장착하는 것은 보편화 되어있기 때문에 최신 ARM 코어에는 단일 주기 곱셈기/누산기 등과 같은 특정 DSP 명령이 있다.

이에 소운섭¹¹⁾은 DSP 확장 기능이 있는 ARM 프로세서에서 G.729 코덱을 구현하여 인코딩 실행 시간은 6.75ms, 디코딩 실행 시간은 4.76ms로 총 11.5ms가 소요되었다는 분석 결과를 제시했다.

S.Apostolakos¹²⁾는 오픈소스 IP-PBX/VoIP 게이트웨이 구현에서 음성 처리 알고리즘, 데이터 전송 인터페이스, 신호 라우터, 합성기 및 스케줄러를 DSP로 구현 하여 10ms 프레임에 대한 G.729A 인코딩 실행 시간은 44.5ms, 디코딩 실행 시간은 14.7ms가 소요되었다고 하였다. 또한 지연 및 패킷 손실에 대해 측정을 평균한 결과 40 ~ 45ms 의 송수신 지연이 나타났으며 패킷 손실은 0.05% 미만이라고 결과를 제시하였다.

DSP와 같은 프로세서는 순서대로 작업을 수행하므로 다음 작업이 시작되기 위해서는 이전 작업이 먼저 실행되어 완료되어야 한다. 그러나 FPGA는 병렬처리가 가능한 소자로서 작업이 동시에 실행되므로 기존 프로세서에 비해 작업 시간을 단축시킬 수 있다. 예를 들면 [그림 3]과 같이 음성 패킷 처리 알고리즘 각 단

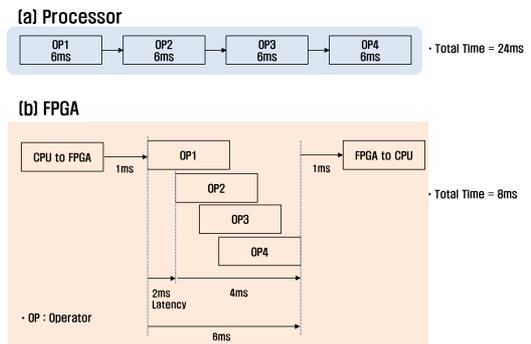


그림 3. 프로세서와 FPGA 처리 방식 비교 예
Fig. 3. Comparative example of processor and FPGA processing method

계가 DSP에서 실행되는데 6ms가 걸린다고 가정하면 FPGA의 경우 병렬 처리를 수행하므로 각각 다른 곳에서 작업을 동시에 실행시킬 수 있다.

만일 다자간 음성 통화 시 참가자 수가 늘어나면 DSP와 같은 프로세서의 처리는 참가자 수의 곱으로 처리 시간이 증가하지만 FPGA에서는 참가자 수에 고정한 처리시간만 더해진다. 수식 (2)에서와 같이 프로세서에서 처리하는 총 처리시간(CP_t)은 참가자 수 (M_n)와 처리시간(P_t)의 곱이며, 수식 (3)은 FPGA에서 처리하는 총 처리시간(FP_t)으로서 처리시간은 고정이므로 참가자 수(M_n)와 처리시간(P_t)의 합으로 표현할 수 있다.

$$CP_t = M_n \times P_t \quad (2)$$

$$FP_t = M_n + P_t \quad (3)$$

따라서 기존의 DSP와 같은 프로세서를 이용한 구현 방식보다 참가자 수에 따라 훨씬 빠른 처리가 가능하므로 처리 지연 시간을 단축할 수 있다. 본 논문에서 VoIP를 이용한 다자간 음성 통화 시스템에서는 QoS를 보장하기 위한 처리 지연 시간 최소화 방법으로 음성 합성을 고속 병렬 처리가 가능한 FPGA를 이용한 구현 방안을 제안하였다.

[그림 4]는 설계 제작된 디지털 오디오 합성기의 하드웨어 보드의 블록도를 나타낸다. 디지털 오디오 합성기 보드의 경우 1000 Base-T 4채널을 적용한 FPGA 기반 고속 이더넷 데이터 처리 회로가 포함되어 있다. 또 Gigabit-Ethernet를 위한 PHY칩과 Transformer, 데

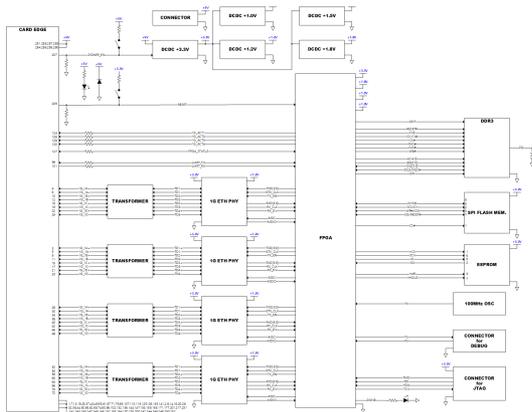


그림 4. 오디오 합성기 하드웨어 보드 블록도
Fig. 4. Audio mixer hardware board block

이터 저장 및 처리를 위한 DDR3 메모리, Flash 그리고 EEPROM이 사용되었다. 그 외 전원을 위한 LDO, 클럭 공급을 위한 Oscillator를 사용하여 설계하였다. [표 1]은 오디오 합성기 하드웨어 보드에 사용된 칩 사양을 보여준다.

표 1. 오디오 합성기 보드 칩 사양
Table 1. Audio mixer board chip specification

Item	Specification
FPGA	215,360LE, 285I/O, 6.25Gb/s
1G Ethernet PHY	10/1GBASE-T, 100BASE-TX
DDR3 Memory	16bit Data Bus, 2Gbit, 800MHz
Flash Memory	8bit Data Bus, 64Mbit, 108MHz
EEPROM	SPI, 4Mbit, 86MHz
Transformer	1MHz ~ 250MHz, Quad channel

3.2 디지털 오디오 합성기 설계

[그림 5]는 디지털 오디오 합성기 하드웨어 시스템 구성도를 보여주고 있다. 오디오 합성기는 크게 이더넷 통신, 암호화/복호화, 데이터 처리로 구분된다. 먼저 4개의 기가 이더넷 포트로 수신된 데이터는 L1, L2, L3 계층을 지나 오디오 신호를 복호화하여 메모리에 저장한다. 저장된 데이터는 다시 오디오 게인 테이블을 이용하여 합성을 수행하고, 데이터 송신을 위해 암호화 후 이더넷 포트에 송신하는 구조이다. 이때 이더넷 패킷 고속 Parser IP를 구현하여 처리 속도를 최소화하도록 설계하였다.

제안된 오디오 합성기의 주요 기능은 다채널 오디오 신호의 합성과 게인 컨트롤이다. 이를 위한 주 제어 장비와 시간 동기화 및 상태 모니터링을 위한 기능이 포함되어 있다. 여기에 주 제어 장비에서 전송되는 제어 명령 및 데이터 전송을 위한 시리얼 통신, 오디오 신호 전달을 위한 이더넷 통신 인터페이스 및 오디오 신호의 게인 조절 기능을 포함하고 있다.

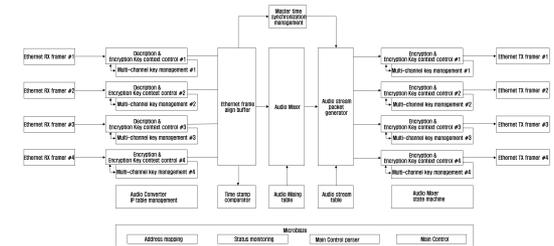


그림 5. 오디오 합성기 시스템 구성도
Fig. 5. Audio mixer system block

IV. 구현 및 실험

4.1 디지털 오디오 합성기 구현

FPGA 내부 하드웨어 설계는 Xilinx사의 Vivado 툴을 사용하였으며, 제어 신호 송·수신을 위한 주 제어 장치와 오디오 합성기의 인터페이스는 MicroBlaze를 이용하여 FPGA 내부에 컨트롤러로 구현 하였으며, 컨트롤러 내부 프로그램은 Xilinx사의 Vitis 툴을 사용하였다.

일반적인 오디오 스트림의 경우 44.1KHz의 샘플링 레이트(Sampling Rate)를 가진다. 본 논문에서도 고품질의 음원을 수용하기 위해 동일한 샘플링 레이트를 사용하였다. 그러나 VoIP용 이더넷 패킷보다 전송률이 증가함에 따라 효율성 검토를 위해 [그림 6]과 같이 오디오 스트림 전송주기에 따른 Round Trip Delay의 예상 시간을 비교하였다. 44.1KHz에서 하나의 샘플 수를 가질 때 22.675us가 걸린다. 이때 64개의 샘플 수를 가지면 1.4512ms의 전송주기를 가진다. 예상 결과에서 오디오 스트림 전송 주기보다 Round Trip Delay 예상 시간이 길면 데이터의 손실을 초래할 수 있으며, 또한 이더넷 환경에 따른 지연과 스위치의 지연이 있을 것을 가정하여 Troughput이 가장 안정적인 64개의 샘플 수를 선택하였다.

64개의 오디오 샘플 단위로 패킷을 송수신과 합성을 위해 유한 상태 머신을 설계하였으며, 이는 대기, 설정, 읽기, 처리 상태의 4단계로 구성된다. 첫째로 대기상태는 1.4ms 주기를 확인하고 대기하는 단계이며, 둘째로 설정 상태는 오디오 신호 합성을 처리할 수 있도록 합성을 위한 정보를 설정하는 단계이다. 세 번째로 읽기는 수신된 오디오 데이터를 연속적으로 읽으며, 마지막으로 처리는 오디오 데이터를 합성하고 패킷을 생성하는 단계이다.

[그림 7]은 오디오 합성기의 구조를 나타낸다. 오디오 합성기 모듈은 유한 상태 머신의 처리 주기 내에서 처리를 위해 병렬 처리구조로의 설계가 필요하지만, 병

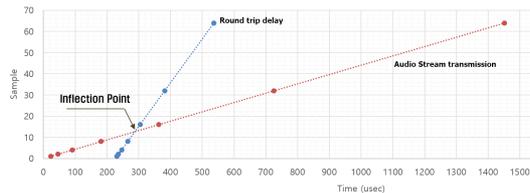


그림 6. 오디오 스트림 전송주기에 따른 Round Trip Delay 예측
Fig. 6. Estimated round trip delay according to the audio stream transmission cycle

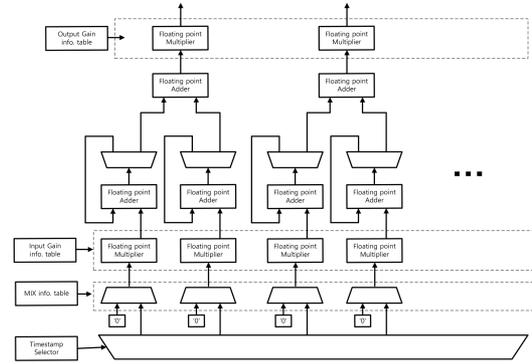


그림 7. 오디오 스트림 합성 구조
Fig. 7. Audio stream mixer structure

렬 처리 구조는 설계 자원의 사용량을 증가시킨다. 이에 본 논문에서는 처리 주기와 설계 자원 사용량을 고려하여 합성기 일부분을 직렬 처리구조로 설계하여, 설계 자원 사용 효율을 높이고 고속 처리가 가능한 구조로 설계하였다.

4.2 디지털 오디오 합성기 실험

오디오 합성기의 기능 시험은 합성기 보드의 1 ~ 3번 채널에 입력 신호 주파수가 500Hz, 1KHz, 1.5KHz의 신호를 입력한 후 합성된 신호를 4번 채널로 출력하였다. 이때 각 채널에 입력되는 신호를 오실로스코프로 확인한 결과 [그림 8]과 같이 입력 신호와 출력 신호를 확인 할 수 있었다. 합성된 출력 신호를 FFT 변환 결과 데이터에 각 주파수 성분이 포함되어 있는 것을 확인하여 오디오 합성 기능이 정상 동작하는 것을 검증하였다.

제안한 FPGA 기반 하드웨어 오디오 합성기의 클럭 속도는 125MHz이며, 64패킷의 병렬 처리가 가능하다. [그림 9]는 Vivado 툴의 로직에널라이저를 통해 측정된 데이터 처리 시간 파형으로 하나의 패킷(4명의 참

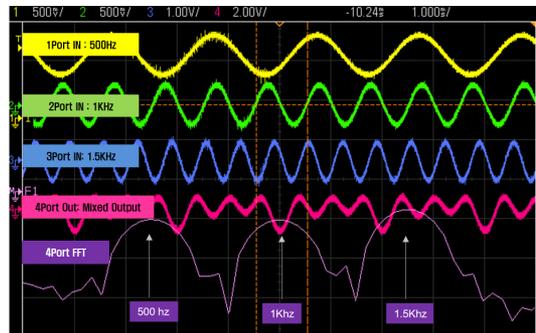


그림 8. 오디오 신호 입·출력 측정
Fig. 8. Audio signal input/output measurement

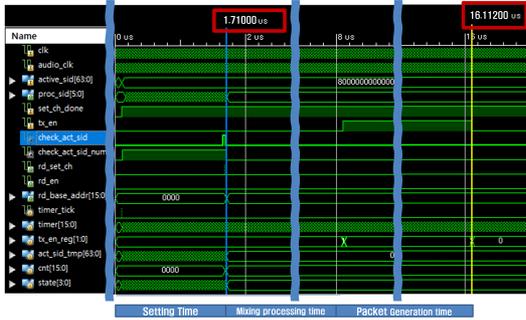


그림 9. 데이터 처리 시간
Fig. 9. Data processing time

가자 데이터)을 합성하고, 송신할 패킷을 생성하는 시간은 16us가 소요되었으며, 8명의 참가자 데이터를 생성하는 시간은 32us가 소요된다.

따라서 구현된 시스템은 64개의 패킷, 즉 256명의 참가자 데이터를 생성하여 출력하는데 소요되는 시간은 식 (4)와 같다.

$$64 \text{ packet} \times 16 \text{ us} = 1.024 \text{ ms} \quad (4)$$

이러한 처리 속도는 FPGA로 구현된 오디오 합성기에서 측정된 파형에서 처리 시간이 동일함을 확인하였다. 그리고 QoS를 확인하기 위해 제작된 FPGA 기반 오디오 합성기 보드에 적용 하여 실험을 수행한 결과 끊임없는 실시간 대화가 가능함을 확인하였다.

[표 2]는 다른 연구 결과와의 비교표로서 8명의 참가자를 기준으로 측정된 데이터 처리 시간을 비교했을 때 본 논문에서 제안된 방법을 구현한 시스템이 다른 비교 방법보다 성능이 뛰어난 것을 확인하였다. 또한 제안된 방법은 압축 코덱을 사용하지 않아 코덱 사용으로 인한 패킷 손실의 단점을 극복 하고, MCU의 처리 지연을 단축 할 수 있는 장점을 갖고 있다.

표 2. 데이터 처리 시간 비교
Table 2. Comparison of data processing time

	Proposed method	Baskaran's method ^[13]	Song's method ^[6]
Processing time	32 us	150 us	50 ms
Clock speed	125 MHz	2.0 GHz	-
Codec	Not used	G.711	G.729
Implementation	HW	SW	SW

V. 결 론

본 논문은 실시간 VoIP 다자간 음성 통화 시스템에서 통화 품질 개선을 위해 데이터 처리 지연 시간 최소화를 위한 오디오 합성기를 제안하였다. 오디오 합성기는 고속의 병렬 처리가 가능한 FPGA 기반 하드웨어 시스템으로 구현함으로써 데이터 처리 시간을 감소시켜 다자간 실시간 통화가 가능함을 검증하였다.

제안한 방법에서 패킷을 구성 하는데 소요되는 처리 시간은 RFC 3551 표준에서^[14] 제안된 20ms보다 훨씬 낮은 1.024ms 내에서 최대 256명의 참가자에 대해 패킷을 구성 할 수 있음을 확인 하였으며, 실시간 다자간 통신 환경에서 사용할 수 있음을 실험을 통해 확인 하였다.

향후 하드웨어 보드를 모듈 형태로 구현하여 온 보드 통신 장비 통합 시스템, 전관 방송 시스템 등 다양한 시스템에 적용 가능하도록 개선할 계획이다.

References

- [1] N. S. Baek and S. J. Lee, "Non-face-to-face SW trend for corporate digital transformation," National IT Industry Promotion Agency, Issue Report, vol. 13, 2020.
- [2] S. Y. Bae and J. H. Shin, "Internet phone quality assessment," *J. KICS*, vol. 21, no. 4, pp. 55-64, 2004.
- [3] Y. Son and S. I. Liu, "A hybrid QoS guarantee scheme for High-Quality audio streaming services on the internet," *J. Korea Multimedia Soc.*, vol. 7, no. 1, pp. 54-63, 2004.
- [4] S. H. Ryu and H. G. Kim, "Audio mixer algorithm for enhancing speech quality of multi-party audio telephony," *The J. Acoustical Soc. Korea*, vol. 32, no. 6, pp. 541-547, 2013. (<https://doi.org/10.7776/ASK.2013.32.6.541>)
- [5] S. P. Chandra, K. M. Senthil, and M. P. P. Bala, "Audio mixer for multi-party conferencing in VoIP," *2009 IEEE Int. Conf. IMSAA*, pp. 1-6, 2009. (<https://doi.org/10.1109/IMSAA.2009.5439490>)
- [6] D. Song, Y. Mo, and F. Wang, "Architecture of multiparty conferencing using SIP," in *Proc. 2005 IEEE Int. Conf. Wirel. Commun., Netw. and Mob. Comput.*, pp. 1361-1364, 2005.

- (<https://doi.org/10.1109/WCNM.2005.1544307>)
- [7] K. W. Kim and J. P. Cho, "Development of digital/analog hybrid redundancy system for audio mixer," *J. Inst. Internet, Broadcasting and Commun.*, pp. 63-68, 2016.
(<https://doi.org/10.7236/JIIBC.2016.16.5.63>)
- [8] N. Xiaoning, U. Nordqvist, L. Gazsi, and D. Liu, "Network processors for access network (NP4AN): Trends and challenges," *IEEE Int. SOC Conf. Proc.*, pp. 265-259, 2004.
(<https://doi.org/10.1109/SOCC.2004.1362430>)
- [9] S. Sethi, P. Kaur, and S. Ahuja, "A new weighted audio mixing algorithm for a multipoint processor in a VoIP conferencing system," *IEEE ICACCI*, pp. 295-300, 2014.
(<https://doi.org/10.1109/ICACCI.2014.6968330>)
- [10] Texas Instruments Technology, *TMS320C645X DSP generation - fixed point*, DSP selection guide, 2006.
- [11] W. S. So and D. Y. Kim, "Real-time implementation of the G.729.1 using ARM926EJ-S Processor Core," *J. KICS*, vol. 33, no. 8, pp. 575-582, 2008.
- [12] S. Apostolakis, G. Lykakis, A. Meliones, V. Vlagoulis, E. Touloupis, and G. Konstantoulakis, "Design, implementation and validation of an open source IP-PBX/VoIP gateway SoC," *IEEE 2009 22nd Int. Conf. VLSI Design*, pp. 261-266, 2009.
(<https://doi.org/10.1109/VLSI.Design.2009.47>)
- [13] V. M. Baskaran and K. Wong, "Audio mixer with automatic gain controller for software based multipoint control unit," *2010 IEEE Asia Pacific Conf. Cir. and Syst.*, pp. 164-167, 2010.
(<https://doi.org/10.1109/APCCAS.2010.5774867>)
- [14] H. Schulzrinne and S. Casner, *RFC 3551: RTP Profile for Audio and Video Conferences with Minimal Control*, Jun. 02, 2002,
(<https://datatracker.ietf.org/doc/html/rfc3551>)

오도봉 (Do-Bong Oh)



2005년 : 동명대학교 메카트로닉스공학과 졸업
2010년 : 안동대학교 정보통신공학과 석사
2012년~현재 : 금오공과대학교 전자공학부 박사과정
2021년~현재 : 넥스피언 수석연구원

<관심분야> Embedded System, 신호처리
[ORCID:0000-0002-8667-3497]

백승철 (Seung-Cheol Baek)



1994년 : 한남대학교 생물학과 (부: 전산학과) 졸업
1997년~현재 : 양전기공업(주) 책임연구원
2002년 : 함정 통합통신 체계 국산화 개발
2020년 : IP 기반 함정 통합 통신 체계 개발

2022년 : 함정 통합 네트워크 체계 설계

<관심분야> 네트워크 보안, 함정 체계 통합 관제, 병렬 프로세싱

최한고 (Han-Go Choi)



1979년 : 경북대학교 전자공학과 졸업
1988년 : 플로리다대학교 전기전자공학과 석사
1992년 : 플로리다대학교 전기전자공학과 박사
1979년~1986년 : 국방과학 연구소 연구원

2001년 : MIT Research Scientist

1993년~현재 : 금오공과대학교 전자공학부 교수

<관심분야> 신호 및 영상처리, DSP 응용, 딥러닝
[ORCID:0000-0002-5963-357X]